

3. 半加算器および全加算器

1. 目的

半加算器および全加算器をロジックトレーナを用いて構成し、その動作を確認する。

2. 演習

- (1) 各論理回路の真理値表を書く。
- (2) 真理値表から特殊加法標準形などを用いて、論理回路を導出する。
- (3) ド・モルガンの定理を用いて、NAND 素子だけを用いて構成可能な論理式に変形する。
- (4) 各演習の指示に従ってロジックトレーナで回路を組み、実際に真理値表の通り動作するか確認する。

3. 演習結果

以上の演習の結果は所定の場所にまとめること。

4. 3桁2進数加算器

半加算機 (Half Adder ; HA) 1 個と全加算機 (Full Adder ; FA) 2 個を使用し、3桁の2進数加算が可能な回路を構成する。最初は半加算機 HA、次は全加算機 FA1 及び FA2 の設計する。図1に3桁2進の加算、図2に3桁2進加算器の入出力図を示す。ここで、入力は x_2, x_1, x_0 及び y_2, y_1, y_0 の3桁の2進数、出力は c_2, z_2, z_1, z_0 の4桁の2進数とする。 c_2 には3桁目からの繰り上がりの結果が格納される。

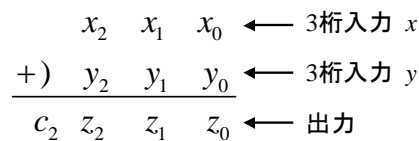


図1 3桁2進の加算

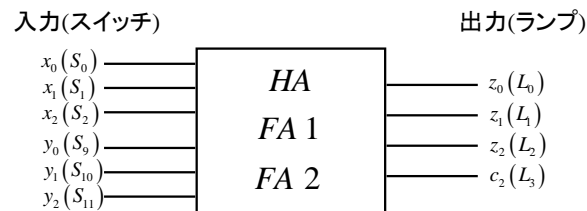


図2 3桁2進加算器の入出力

4.1 半加算器 HA の設計

まず、半加算器を構成する。半加算機は2入力、2出力の上位桁への繰り上がりのみを考慮する加算器であり、下位桁からの繰り上がりを考慮しない。半加算器は全加算器を構成する上でも重要なパーツである。表1に半加算器の真理値表、図3に半加算器 HA における入出力の概要を示す。また、真理値表から求めた論理関数も示す。

表1 半加算器 HA の真理値表

x_0	y_0	c_0	z_0

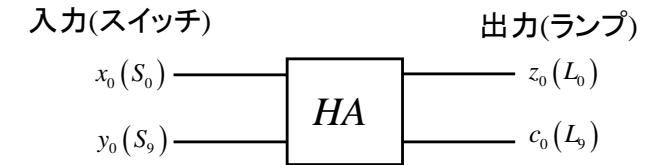
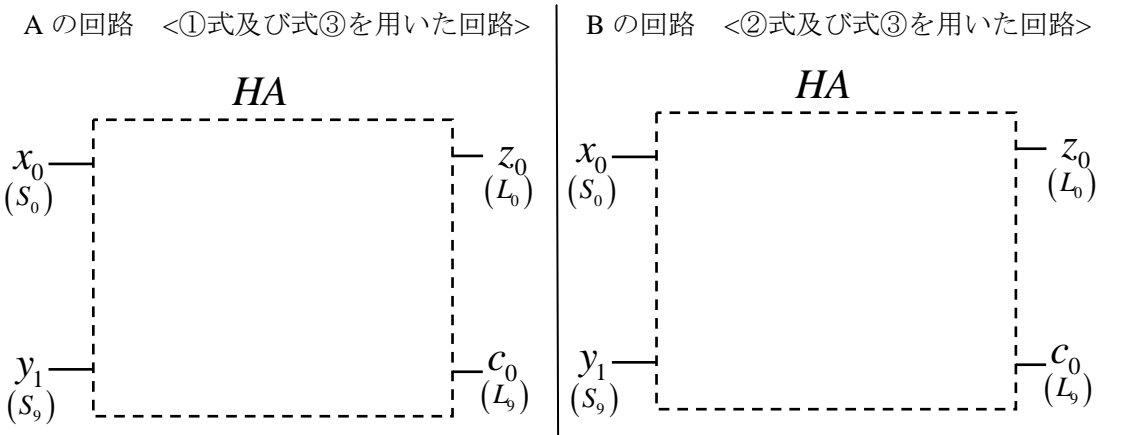


図3 半加算器 HA の入出力

論理関数

$$\begin{aligned}
 z_0 &= \overline{x_0 y_0} + \overline{x_0} y_0 \\
 &= x_0 \oplus y_0 && \text{①} \\
 &= x_0 \overline{y_0} + \overline{x_0} y_0 + x_0 x_0 + y_0 y_0 \\
 &= (x_0 + y_0) (\overline{x_0} + \overline{y_0}) \\
 &= (x_0 + y_0) \overline{x_0 y_0} \quad (\because \text{ド・モルガンの定理より}) && \text{②} \\
 c_0 &= x_0 y_0 && \text{③}
 \end{aligned}$$

- (1) 表1の半加算器 HA の真理値表を完成させなさい。
- (2) 全加算器構成におけるロジックトレーナ上の回路素子有効利用のために、半加算器を2種類設計する。以下に図3の入出力関係になるように、半加算器の論理回路図を描け。



- (3) A の回路を用いて半加算器 HA を構成し、表1の真理値表通り動作することを確認せよ。 但し、結線した回路は最後の3桁2進加算器の設計で使用するので、そのままにしておくこと。

4.2 全加算器 FA1 の設計

次に全加算器を構成する。全加算機は 3 入力、2 出力の上位桁への繰り上がり及び下位桁からの繰り上りを考慮する加算器である。3 桁の 2 進数加算器を作成するためには、全加算器は 2 つ必要である。全加算器をそれぞれ FA1 と FA2 とする。ここでは、まず FA1 を設計する。表 2 に全加算器の真理値表、図 4 に FA1 における入出力の概要を示す。また、真理値表から求めた論理関数も示す。

表 2 全加算器 FA1 の真理値表

c_0	x_1	y_1	c_1	z_1

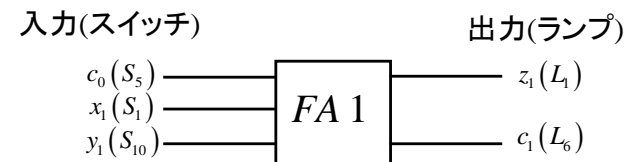


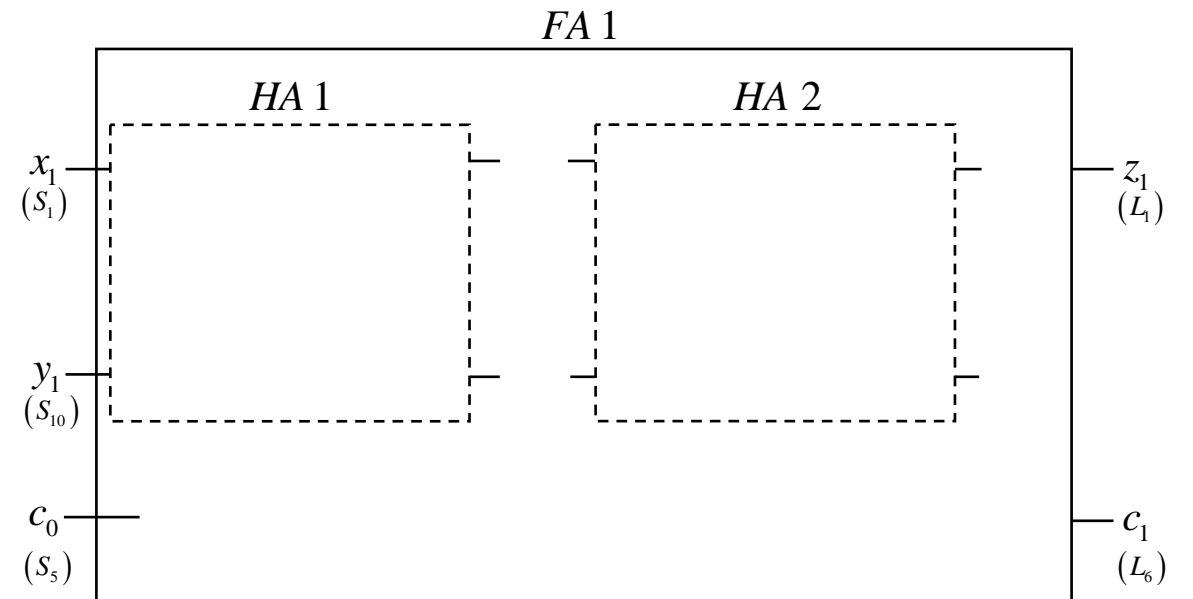
図 4 全加算器 FA1 の入出力

論理関数

$$\begin{aligned}
 z_1 &= \overline{c_0}x_1y_1 + c_0\overline{x_1}y_1 + c_0x_1\overline{y_1} + c_0x_1y_1 \\
 &= \overline{c_0}(x_1y_1 + \overline{x_1}y_1) + c_0(\overline{x_1}y_1 + x_1y_1) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0(\overline{x_1}y_1 + x_1y_1) \quad (\because \text{排他的論理和の定義より}) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0(x_1 + y_1 + x_1y_1) \quad (\because \text{ド・モルガンの定理より}) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0((x_1 + y_1)\overline{x_1y_1}) \quad (\because \text{ド・モルガンの定理より}) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0(\overline{x_1 \oplus y_1}) \quad (\because \text{排他的論理和の定義より}) \\
 &= c_0 \oplus (x_1 \oplus y_1) \quad (\because \text{排他的論理和の定義より}) \quad \textcircled{4} \\
 c_1 &= \overline{c_0}x_1y_1 + c_0\overline{x_1}y_1 + c_0x_1\overline{y_1} + c_0x_1y_1 \\
 &= (\overline{c_0} + c_0)x_1y_1 + c_0(\overline{x_1}y_1 + x_1\overline{y_1}) \\
 &= x_1y_1 + (x_1 \oplus y_1)c_0 \quad (\because \text{排他的論理和の定義より}) \quad \textcircled{5}
 \end{aligned}$$

(1) 表 2 の全加算器 FA1 の真理値表を完成させなさい。

(2) 式④及び式⑤から全加算器は半加算器 2 個と OR 回路で構成可能な事が分かる。以下に半加算器 2 個と OR 回路のみを用いて全加算器の回路図を描け。但し、半加算器は B の回路を使用する事とする。



(3) (1)で描いた全加算器理値を図 4 の入出力関係になるように結線し、FA1 を完成させて表 2 の真理値表通り動作することを確認せよ。但し、結線した回路は最後の 3 桁 2 進加算器の設計で使用するので、そのままにしておくこと。

4.3 全加算器 FA2 の設計

次に、2 つめの全加算器 FA2 を設計する。ここでは、FA1 と同じように半加算器を 2 つ用いて FA2 を構成する。但し、半加算器を NAND 素子のみで構成する。表 3 に全加算器の真理値表、図 5 に FA2 における入出力の概要を示す。また、真理値表から求めた論理関数も示す。

表 3 全加算器 FA2 の真理値表

c_1	x_2	y_2	c_2	z_2

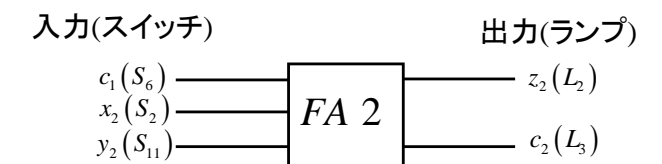


図 5 全加算器 FA2 の入出力

