

目 次

平成20年度 T-2 計算機工学 実験ガイダンス	2
1. 論理回路の動作確認	4
2. 論理関数の簡単化	10
3. 半加算器および全加算器	16
4. 比較器およびエンコーダ・デコーダ	22
5. フリップフロップ	28
6. 順序回路	33
7. カウンタ	38

平成20年度 T-2 計算機工学 実験ガイダンス

1. 年間計画表

月日	曜	実験項目	備考
5月22日	木	1. 論理回路の動作確認	
			・前期中間試験
6月19日	木	2. 論理関数の簡単化	
7月3日	木	3. 半加算器および全加算器	
			・前期期末試験
			夏季休業
10月9日	木	4. 比較器およびエンコーダ・デコーダ	
10月23日	木	5. フリップフロップ	
			・後期中間試験
12月11日	木	6. 順序回路	
			冬季休業
1月29日	木	7. カウンタ	
			・後期期末試験

※ 担当者の都合により実施日を変更することがある。

2. 担当者

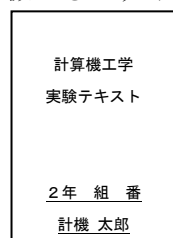
実験担当教員 : 大田, 石橋

3. 実験室

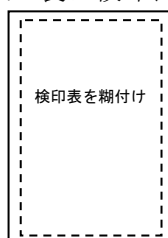
- ・ 計算機工学実験のときは校舎棟4階の実験室に集合する。
- ・ 室内はスリッパに履き替えて入室する。

4. 実験テキスト

- ・ テキストは実験の1週間前までに配布するので、フラットファイル (B5S) を購入して綴じておく。ファイルの表紙には下のように大きく番号名前を記入する。
- ・ 実験テキストを綴じるファイルの表紙の裏に検印表を糊付けする。



ファイルの表紙



表紙の裏

5. 評価

【成績評価の方法】

- ・ 計算機工学の総合評価の割合は定期試験 60%, 小テスト 20%, 実験実習レポート 20% である。

- ・各実験レポートの評価は A, A' , B, B' , C の 5 段階 (100~60 点) 100 点満点で行う。C は再提出とする。
- ・成績提出の期日までに行った実験レポート評価を計算機工学の成績に加える (実験の評価は 20%)。
- ・1 項目でも実験を実施しなかったり、検印を貰えない場合は計算機工学の学年総合成績を 29 点以下とする。 欠課、公休忌引などで実験を当日できなかった者は、速やかに担当教員に申し出て追実験を行う。

4. 実験レポート

- ・実験レポートは実験テキストに直接書き込む。

【レポートの提出期限】

- ・レポート提出締切は実験終了時とする。実験終了時に提出できない者は、担当教員に申し出る。申し出が無く提出が遅れた場合は減点する。

【レポートの提出遅れによる減点】

- ・レポートの提出遅れ 1 週目は 2 点減点, 2 週目以降 2 点ずつ減点する。
但し、当該実験項目の評価点が 0 点以下になるようには差し引かない。
- ・遅れ週の計算は、実験指導者が特に指示した場合を除き、次のレポート締切日毎に数える。

6. 実験上の注意

【予習】

事前に実験テキストを読んで疑問点を出しておく。教科書も対応するところを予習しておく。テキストの式の誘導も行ってみる。

【配線】

計器は定格等を考えて正しく選び、リード線は色分けして適当な太さの線を使う。実験回路の配線はスイッチを投入する前によく確認をすること。

【測定】

測定中に異常が認められた場合、直ちに電源を切り、担当者に連絡して指示を受ける。

【結果】

実験中にテキストの記入欄に結果とその処理を鉛筆で記入し、実験終了後直ちに吟味考察、質問感想を所定の欄に書いてレポート提出先教員に提出する。

【後片付け】

測定が終わったら、担当者に連絡し指示を受ける。

計器類の電源コードの収納の仕方を担当者に尋ね、正しく巻き取る。

計器を片付けた後、全員で掃除をする (机の上を拭き、床を掃く)。

【復習】

わからないことはそのままにしないで担当者に質問し、テキストに記入しておく。また、図書館の本などで調べておく。

1. 論理回路の動作確認

1. 目的

ロジックトレーナーを用いて簡単な組み合わせ回路を構成および配線し、その動作を確認する。

2. ロジックトレーナー

2.1 論理回路の種類

図 1 に実験で用いるにロジックトレーナー、図 2 に電源ケーブルおよび配線用ケーブルを示す。ロジックトレーナーには OR 回路、AND 回路、NOT 回路、NOR 回路、NAND 回路などの論理回路素子が複数個配置してあり、それらを組み合わせるだけで簡単に組み合わせ論理回路を構成出来るようになっている。また、各論理回路素子は入力および出力端子に結線するだけで簡単に使用可能である。なお、各素子には番号が振られている。

2.2 組み合わせ論理回路への入力

論理回路の入力スイッチはロジックトレーナーの最下部に集中している。入力スイッチにはプッシュスイッチ (P1~P3) とトグルスイッチ (S0~S11) がある。これらのスイッチの出力は、プッシュスイッチ用出力端子 (PULSER OUTPUTS) およびトグルスイッチ用出力端子 (SWITCH OUTOUT) から出力される。この出力端子を回路の入力端子に接続して入力に用いる。

プッシュスイッチ：	押していない間 (通常)	“0”
	押している間	“1”

トグルスイッチ：	下に倒す	“0”
	上に倒す	“1”

2.3 組み合わせ論理回路からの出力

トグルスイッチの上に出力を確認するための LAMP (L0~L11) が 12 個存在する。LAMP の入力 (LAMP INPUTS) に組み合わせ回路の出力を接続すれば、組み合わせ回路の出力を LAMP の状態から確認できる。

LAMP：	消灯	“0”
	点灯	“1”

2.4 L 端子および H 端子

ロジックトレーナーの中段の中央部付近、右端および左端およびにそれぞれ L (LOW) 端子および H (HIGH) 端子が配置されている。L 端子および H 端子は特殊な端子であり、その出力は常に一定となる。

L 端子：	常に “0” を出力
H 端子：	常に “1” を出力

2.5 取り扱いの注意事項

- 1) 配線を行うときは、一旦電源スイッチをオフにしてから配線を行う。
- 2) 各論理回路の出力端子同士を接続しない。
- 3) 使用していない論理回路の入力端子を配線の中継点として使用しても良いが、出力端子、L端子およびH端子は中継点として使用しない。
- 4) 配線コードはジャックのプラスチック部分を持って抜き差しする。コード部を引っ張って抜き差ししない。

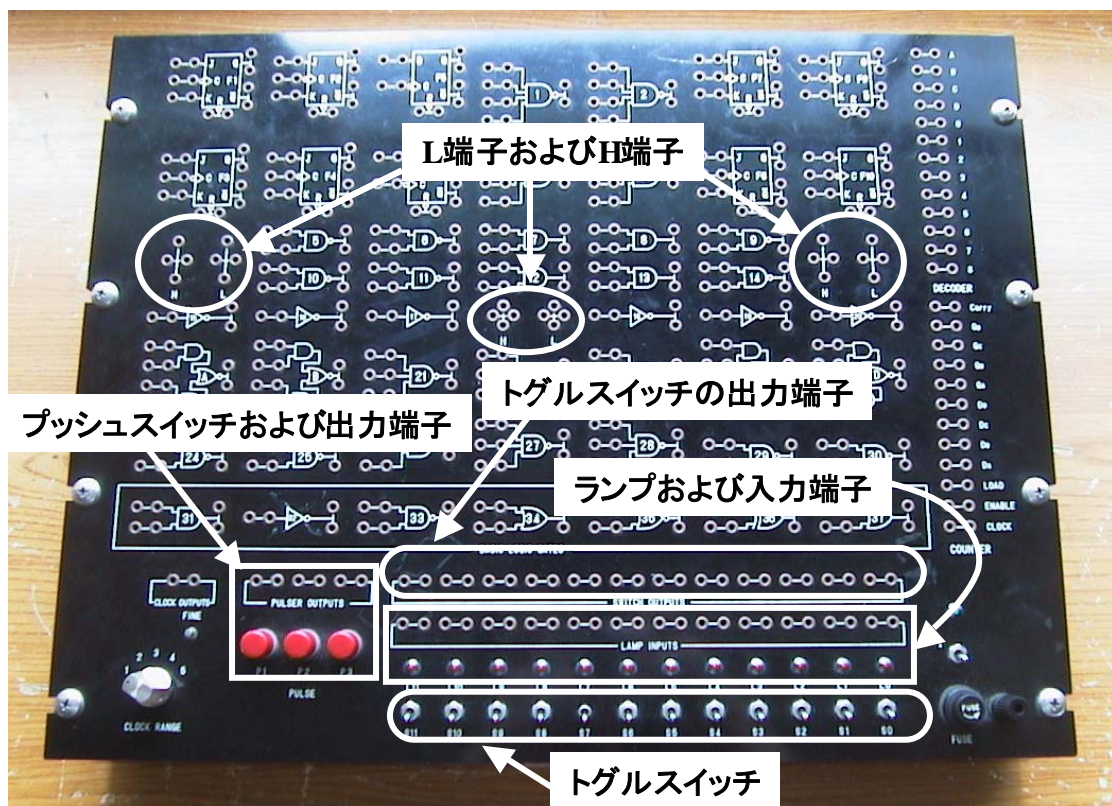


図1 ロジックトレーナー



図2 電源ケーブルおよび配線用ケーブル

3. 論理回路の動作確認

以下の各論理回路素子に対して入力を行い、真理値表の出力の欄に記入すると共に論理回路素子の動作を確認する。

1) NOT 回路

NOT 回路を 15～20, 32 の中から一つを選択する。トグルスイッチの出力端子をその素子の入力端子へ、素子の出力端子をランプの入力端子へそれぞれ接続し、入力を与えて出力を確認する。

(式)

(論理回路)

A	Z
0	
1	

2) OR 回路

OR 回路を 34, 37 の中から一つを選択する。トグルスイッチの出力端子をその素子の各入力端子へ、素子の出力端子をランプの入力端子へそれぞれ接続し、入力を与えて出力を確認する。

(式)

(論理回路)

A	B	Z
0	0	
0	1	
1	0	
1	1	

3) AND 回路

AND 回路を 7, 8, 12, 13, 31 の中から一つを選択する。トグルスイッチの出力端子をその素子の各入力端子へ、素子の出力端子をランプの入力端子へそれぞれ接続し、入力を与えて出力を確認する。

(式)

(論理回路)

A	B	Z
0	0	
0	1	
1	0	
1	1	

4) NOR 回路

トグルスイッチの出力端子を NOR 回路 35 の各入力端子へ、素子の出力端子をランプの入力端子へそれぞれ接続し、入力を与えて出力を確認する。

(式)

(論理回路)

A	B	Z
0	0	
0	1	
1	0	
1	1	

5) NAND 回路

NAND 回路を 5, 6, 9~11, 14, 24, 25, 29, 30
の中から一つを選択する. トグルスイッチの出力端子を
その素子の各入力端子へ, 素子の出力端子をランプの入
力端子へそれぞれ接続し, 入力を与えて出力を確認する.

(式)

(論理回路)

A	B	Z
0	0	
0	1	
1	0	
1	1	

6) 3 入力 NAND 回路

3 入力 NAND 回路を 21~23, 26~28 の中
から一つを選択する. トグルスイッチの出力端
子とその素子の各入力端子へ, 素子の出力端子
をランプの入力端子へそれぞれ接続し, 入力
を与えて出力を確認する.

(式)

(論理回路)

A	B	C	Z
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

7) 4 入力 NAND 回路

4 入力 NAND 回路を 1~4 の中から
一つを選択する. トグルスイッチの出
力端子とその素子の各入力端子へ, 素
子の出力端子をランプの入力端子へ
それぞれ接続し, 入力を与えて出力を
確認する.

(式)

(論理回路)

A	B	C	D	Z
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

8) 排他的論理和回路 (Exclusive OR 回路)

トグルスイッチの出力端子を排他的論理和回路 36 の各入力端子へ、素子の出力端子をランプの入力端子へそれぞれ接続し、入力を与えて出力を確認する。

(式)

(論理回路)

A	B	Z
0	0	
0	1	
1	0	
1	1	

4. ド・モルガンの定理の確認

1) $\overline{AB} = \overline{A} + \overline{B}$

左辺および右辺に関して以下の回路を構成しそれぞれの出力を確認する。

A	B	\overline{AB}	$\overline{A} + \overline{B}$
0	0		
0	1		
1	0		
1	1		

・ 左辺の回路

・ 右辺の回路

2) $\overline{\overline{A+B}} = \overline{\overline{AB}}$

1) と同様に回路を自分で構成しその真理値表出力を完成させることで確認することで、上式が正しいことを確認する。

A	B	$\overline{\overline{A+B}}$	$\overline{\overline{AB}}$
0	0		
0	1		
1	0		
1	1		

・ 左辺の回路

・ 右辺の回路

5. 簡単な組み合わせ回路の動作確認

以下の組み合わせ論理回路を構成せよ。また、実際にロジックトレーナーを用いてその動作を確認しなさい。

- 1) 排他的論理和回路を NAND 回路のみを用いて構成しなさい。(回路は 2 種類考えられる.)

(式)

(論理回路)

- 2) 以下の真理値表をもつ回路(多数決論理演算回路)を構成しなさい。

(式)

A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(論理回路)

2. 論理関数の簡単化

1. 目的

いくつかの論理回路において、論理関数の簡単化と NAND 素子のみを用いた回路構成を行う。また、ロジックトレーナーを用いてそれぞれの回路の動作を確認する。

2. 演習

問 1～問 4 において以下の(1)～(3)の演習を行う。なお、問 5 に関しては(2)及び(3)のみでよい。

- ① 問の真理値表から加法標準系により論理関数を導出し、その回路図を描く。
- ② カルノー図を用いて(1)の論理回路の簡単化を行い、その回路図を描く。更にロジックトレーナーを用いて回路を構成し、真理値表通り動作するか確認する。
- ③ (2)の論理回路を NAND 素子のみで構成出来るように論理の変形を行う。次に NAND 素子だけの回路図を描く。更にロジックトレーナーを用いて回路を構成し、真理値表通り動作するか確認する。

3. 演習結果

各問の演習結果は、次ページ以降の所定の欄にまとめること。

問 1

A	B	C	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

(1)加法標準系による論理関数及び回路図

(2)カルノー図及び簡単化された回路図

(3)NAND 素子のみの理論式および回路図

A	B	C	Z
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

問2

(1)加法標準系による論理関数及び回路図

(2)カルノー図及び簡単化された回路図

(3)NAND 素子のみの理論式および回路図

問 3

<i>A</i>	<i>B</i>	<i>C</i>	<i>Z</i>
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

(1)加法標準系による論理関数及び回路図

(2)カルノー図及び簡単化された回路図

(3)NAND 素子のみの理論式および回路図

<i>A</i>	<i>B</i>	<i>C</i>	<i>Z</i>
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

問 4

(1)加法標準系による論理関数及び回路図

(2)カルノー図及び簡単化された回路図

(3)NAND 素子のみの理論式および回路図

問 5

<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>Z</i>
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

(2)カルノー図及び簡単化された回路図

(3)NAND 素子のみの理論式および回路図

3. 半加算器および全加算器


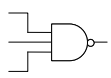

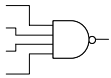


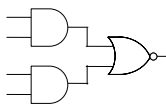


1. 目的

半加算器と全加算器について、ロジックトレーナを用いて構成しその動作を確認する。

2. 演習

- ① 各論理回路の真理値表を書く。
- ② 真理値表から特殊加法標準形などを用いて、論理回路を導出する。
- ③ ド・モルガンの定理を用いて、NAND 素子だけを用いて構成可能な論理式に変形する。
- ④ 各演習の指示に従ってロジックトレーナで回路を組み、実際に真理値表の通り動作するか確認する。

注意：演習では、素子の個数を考えて論理回路を設計しなさい。特に、OR 及び AND 素子の個数が少ないので NAND 素子等の他の素子で代用する方法を考えながら回路設計をしなさい。以下にロジックトレーナ上の各素子の個数を示す。

	6 個		6 個
	2 個		4 個
	5 個		
	1 個		4 個
	9 個		
	1 個		

3. 演習結果

以上の演習の結果は所定の場所にまとめること。

4. 3桁2進数加算器

半加算機 (Half Adder ; HA) 1 個と全加算機 (Full Adder ; FA) 2 個を使用し、3桁の2進数加算が可能な回路を構成する。最初は半加算機 HA、次は全加算機 FA1 及び FA2 の設計する。図 1 に3桁2進の加算、図 2 に3桁2進加算器の入出力図を示す。ここで、入力は x_2, x_1, x_0 及び y_2, y_1, y_0 の3桁の2進数、出力は c_2, z_2, z_1, z_0 の4桁の2進数とする。 c_2 には3桁目からの繰り上がりの結果が格納される。

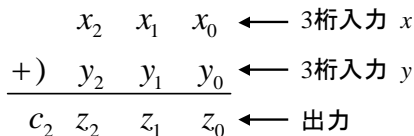


図1 3桁2進の加算

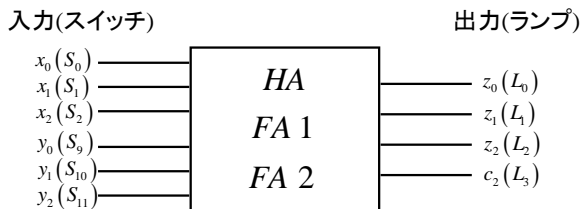


図2 3桁2進加算器の入出力

4.1 半加算器 HA の設計

まず、半加算器を構成する。半加算機は2入力、2出力の上位桁への繰り上がりのみを考慮する加算器であり、下位桁からの繰り上がりを考慮しない。半加算器は全加算器を構成する上でも重要なパーツである。表1に半加算器の真理値表、図3に半加算器 HA における入出力の概要を示す。また、真理値表から求めた論理関数も示す。

表1 半加算器 HA の真理値表

x_0	y_0	c_0	z_0

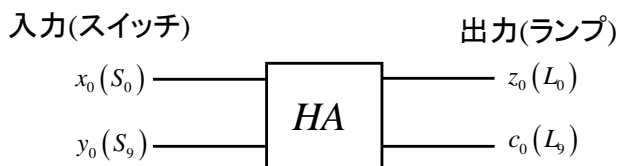


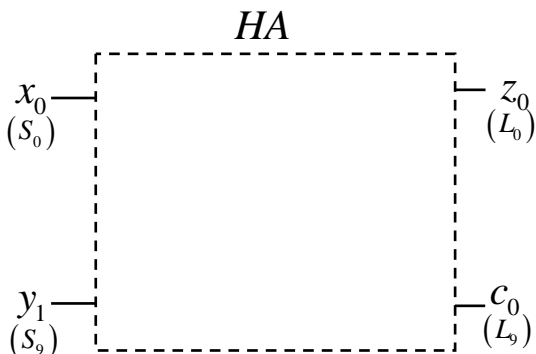
図3 半加算器 HA の入出力

論理関数

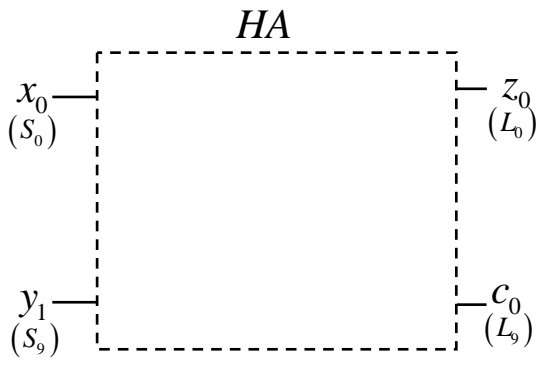
$$\begin{aligned}
 z_0 &= x_0 y_0 + \overline{x_0 y_0} \\
 &= x_0 \oplus y_0 && \text{①} \\
 &= x_0 \overline{y_0} + \overline{x_0} y_0 + x_0 x_0 + y_0 y_0 \\
 &= (x_0 + y_0)(\overline{x_0} + \overline{y_0}) \\
 &= (x_0 + y_0) \overline{x_0 y_0} \quad (\because \text{ド・モルガンの定理より}) && \text{②} \\
 c_0 &= x_0 y_0 && \text{③}
 \end{aligned}$$

- (1) 表1の半加算器 HA の真理値表を完成させなさい。
- (2) 全加算器構成における回路素子有効利用のため、半加算器を2種類設計する。

A の回路 <①式及び式③を用いた回路>



B の回路 <②式及び式③を用いた回路>



- (3) A の回路を用いて半加算器 HA を構成し、表 1 の真理値表通り動作することを確認せよ。但し、結線した回路は最後の 3 桁 2 進加算器の設計で使用するので、そのままにしておくこと。

4.2 全加算器 $FA1$ の設計

次に全加算器を構成する。全加算機は 3 入力、2 出力の上位桁への繰り上がり及び下位桁からの繰り上りを考慮する加算器である。3 桁の 2 進加算器を作成するためには、全加算器は 2 つ必要である。全加算器をそれぞれ $FA1$ と $FA2$ とする。ここでは、まず $FA1$ を設計する。表 2 に全加算器の真理値表、図 4 に $FA1$ における入出力の概要を示す。また、真理値表から求めた論理関数も示す。

表 2 全加算器 $FA1$ の真理値表

c_0	x_1	y_1	c_1	z_1

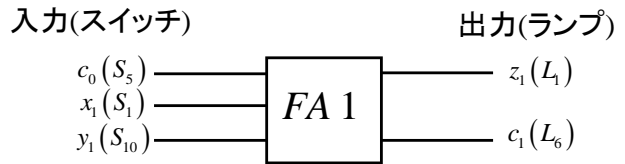
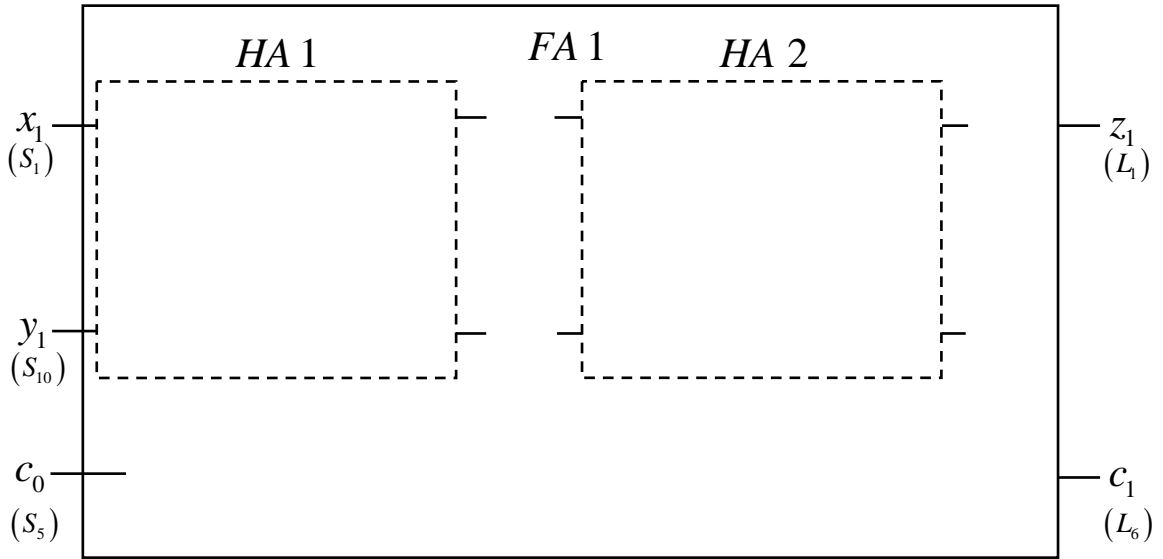


図 4 全加算器 $FA1$ の入出力

論理関数

$$\begin{aligned}
 z_1 &= \overline{c_0}x_1y_1 + c_0\overline{x_1}\overline{y_1} + c_0x_1\overline{y_1} + c_0\overline{x_1}y_1 \\
 &= \overline{c_0}(x_1y_1 + \overline{x_1}\overline{y_1}) + c_0(\overline{x_1}y_1 + x_1\overline{y_1}) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0(\overline{x_1y_1} + x_1\overline{y_1}) \quad (\because \text{排他的論理和の定義より}) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0(\overline{x_1 + y_1} + x_1y_1) \quad (\because \text{ド・モルガンの定理より}) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0\left(\overline{(x_1 + y_1)x_1y_1}\right) \quad (\because \text{ド・モルガンの定理より}) \\
 &= \overline{c_0}(x_1 \oplus y_1) + c_0(\overline{x_1 \oplus y_1}) \quad (\because \text{排他的論理和の定義より}) \\
 &= c_0 \oplus (x_1 \oplus y_1) \quad (\because \text{排他的論理和の定義より}) \quad \text{④} \\
 c_1 &= \overline{c_0}x_1y_1 + c_0\overline{x_1}y_1 + c_0x_1\overline{y_1} + c_0x_1y_1 \\
 &= (\overline{c_0} + c_0)x_1y_1 + c_0(\overline{x_1}y_1 + x_1\overline{y_1}) \\
 &= x_1y_1 + (x_1 \oplus y_1)c_0 \quad (\because \text{排他的論理和の定義より}) \quad \text{⑤}
 \end{aligned}$$

- (1) 表 2 の全加算器 $FA1$ の真理値表を完成させなさい。
- (2) 式④及び式⑤から全加算器は半加算器 2 個と OR 回路で構成可能な事が分かる。以下に半加算器 2 個と OR 回路のみを用いて全加算器の回路図を描け。但し、半加算器は B の回路を使用する事とする。



(3) (1)で描いた全加算器理値を図4の入出力関係になるように結線し, $FA1$ を完成させて表2の真理値表通り動作することを確認せよ. 但し, 結線した回路は最後の3桁2進加算器の設計で使用するので, そのままにしておくこと.

4.3 全加算器 $FA2$ の設計

次に, 2つめの全加算器 $FA2$ を設計する. ここでは, $FA1$ と同じように半加算器を2つ用いて $FA2$ を構成する. 但し, 半加算器を NAND 素子のみで構成する. 表3に全加算器の真理値表, 図5に $FA2$ における入出力の概要を示す. また, 真理値表から求めた論理関数も示す.

表3 全加算器 $FA2$ の真理値表

c_1	x_2	y_2	c_2	z_2

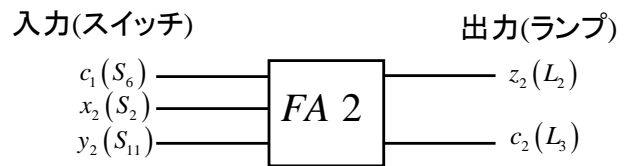
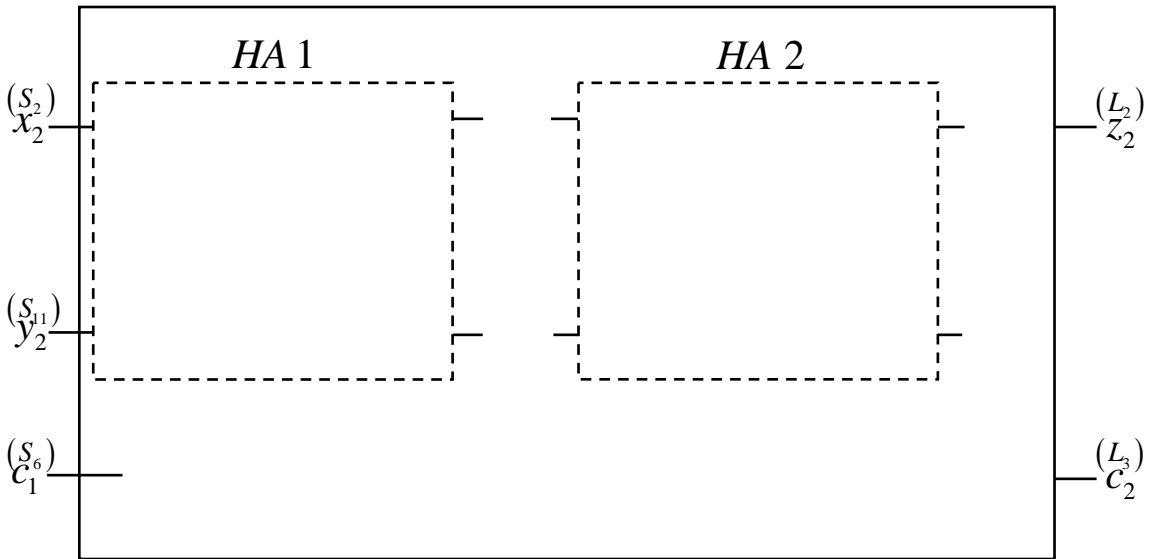


図5 全加算器 $FA2$ の入出力

- (1) 表3の全加算器 $FA2$ の真理値表を完成させなさい.
- (2) 全加算器を NAND 素子のみで構成するための半加算器の論理関数を導出せよ. 但し, 入力を x_2, y_2 , 出力を c'_2, z'_2 とする.
- (3) NAND 素子のみを用いて全加算器 $FA2$ を描け.

FA 2



(4) (3)で描いた全加算器理値を図5の入出力関係になるように結線し，FA2を完成させて表3の真理値表通り動作することを確認せよ。但し，結線した回路は最後の3桁2進加算器の構成で使用するので，そのままにしておくこと。

4.4 3桁2進数加算器の設計

作成した半加算器 HA，全加算器 FA1 及び FA2 を用いて 3 桁 2 進加算器を設計する。

(1) 3 桁 2 進加算器の結線

これまで作成した半加算器 HA，全加算器 FA1 及び FA2 を図2の入出力関係となるように結線する。結線後，(1)で作成した真理値表通りに動作するか確認せよ。

ここでは，以下の事に注意すること

- ① FA1 の入力 c_0 はスイッチ S_5 ではなく，HA の出力 c_0 から取ること。
- ② FA2 の入力 c_1 はスイッチ S_6 ではなく，FA1 の出力 c_1 から取ること。

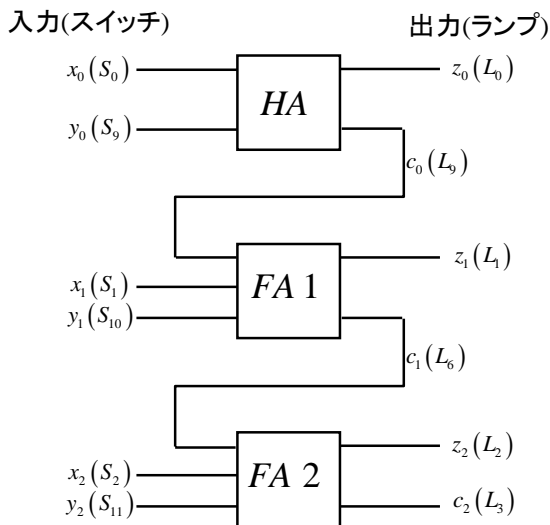


図6 3桁2進加算器の結線

4. 比較器およびエンコーダ・デコーダ


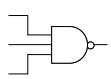

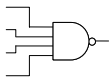

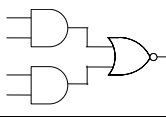



1. 目的

比較器, エンコーダおよびデコーダをロジックトレーナで構成し, その動作を確認する.

2. 演習

- ① 各論理回路の真理値表を書く.
- ② 真理値表から特殊加法標準形などを用いて, 論理関数を導出する.
- ③ 必要に応じてド・モルガンの定理を用いて, 論理関数を変形する. 特に AND 及び OR 素子の数が不足する場合は NAND 素子を用いる事が出来るように論理関数に変形する.
- ④ (2)及び(3)で求めた論理関数から論理回路を構成する.
- ⑤ 各演習の指示に従ってロジックトレーナで回路を組み, 実際に真理値表の通り動作するか確認する.

注意: 以降の演習では, 素子の個数を考えて論理回路を設計しなさい. 特に, OR 及び AND 素子の個数が少ないので NAND 素子等の他の素子で代用する方法を考えながら回路設計をしなさい. 以下にロジックトレーナ上の各素子の個数を示す.

	6 個		6 個
	2 個		4 個
	5 個		4 個
	1 個		
	9 個		
	1 個		

3. 演習結果

各演習の結果は所定の場所にまとめること.

4. 比較器

4.1 1ビット比較器

最初に1ビットの2進数を比較する比較器を設計する。ここでは、次に2ビットの比較器を構成するために2種類の1ビット比較器を設計する。表1に1ビット比較器の真理値表を示す。ここで、出力(z'_2, \dots, z'_0)は x_0 及び y_0 の大小関係を表す出力である。

作成する比較器は a) NAND 素子を用いない比較器, b) NAND 素子のみを用いた比較器の2つである。図1に2種類の1ビットの比較器の入出力関係図を示す。実際の入出力は図1のように設定する事を推奨する。

表1 1ビット比較器の真理値表

入力		出力		
x_0	y_0	$z'_2(x_0 > y_0)$	$z'_1(x_0 = y_0)$	$z'_0(x_0 < y_0)$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

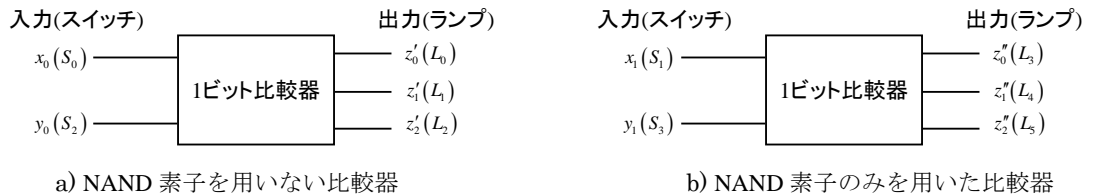


図1 1ビットの比較器の入出力関係図

(1) 真理値表から論理関数を導出せよ。

a) NAND 素子を用いない論理関数

$$z'_0 =$$

$$\begin{aligned} z'_1 &= \overline{\overline{x_0 y_0} + x_0 y_0} \\ &= \overline{x_0 y_0 \cdot x_0 y_0} \\ &= \overline{(x_0 + y_0)(\overline{x_0 + y_0})} \\ &= \overline{x_0 x_0 + x_0 y_0 + x_0 y_0 + y_0 y_0} \\ &= \overline{x_0 y_0 + x_0 y_0} \end{aligned}$$

$$z'_2 =$$

b) NAND 素子のみを用いる論理関数

$$z''_0 =$$

$$z''_1 =$$

$$z''_2 =$$

(2) 論理回路を描きなさい。

a) NAND 素子を用いない論理回路



b) NAND 素子のみを用いる論理回路



(3) (2)の a)及び b)の回路をロジックトレーナ上で構成し、真理値表通り動作する事を確認しなさい。但し、作成した2つの1ビット比較器は後で使用するのでもそのままにしておく。

4.2 2ビット比較器

次に2ビットの2進数 x 及び y を比較する比較器を設計する。ここでは、1ビット比較器を2つ用いて2ビット比較器を構成する。表2に2ビット比較器の真理値表を示す。ここで、出力 (z_2, \dots, z_0) は x 及び y の大小関係を表す出力である。図2に2ビットの比較器の入出力関係図を示す。実際の入出力は図2のように設定する事を推奨する。

表2 2ビット比較器の真理値表

入力 x		入力 y		出力		
x_1	x_0	y_1	y_0	$z_2(x > y)$	$z_1(x = y)$	$z_0(x < y)$
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

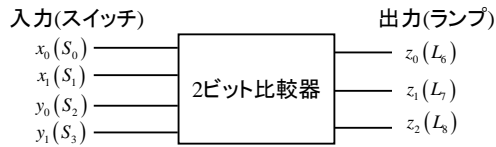
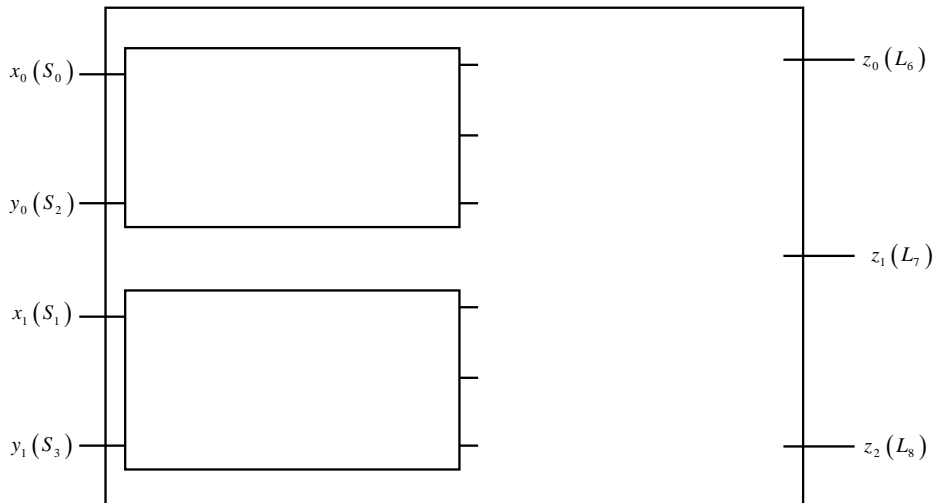


図2 2ビットの比較器の入出力関係図

(1) 真理値表から論理関数を導出せよ.

(2) 論理回路を描きなさい.



(3) (2)の回路をロジックトレーナ上で構成し, 真理値表通り動作する事を確認しなさい.

5. エンコーダ

6進数を3ビットの2進数に変換するエンコーダを作成する. 表3に6進-2進エンコーダの真理値表を示す. 図3に6進-2進エンコーダの入出力関係図を示す. 実際の入出力は図3のように設定する事を推奨する. 但し, 入力 (x_5, \dots, x_0) はそのうちいずれか1つのみが必ず1をとるものとする. 尚, 入力 (x_5, \dots, x_0) のプライオリティ(優先順位)は考えないものとする.

表3 3ビット6進-2進エンコーダの真理値表

入力 x (6進数)						出力 z (2進数)		
x_5	x_4	x_3	x_2	x_1	x_0	z_2	z_1	z_0
0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	0
0	0	1	0	0	0	0	1	1
0	1	0	0	0	0	1	0	0
1	0	0	0	0	0	1	0	1

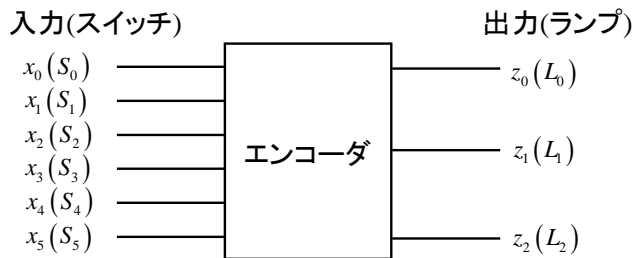


図3 6進-2進エンコーダ

(1) 真理値表から論理関数を導出せよ.

(2) 論理回路を描きなさい.

(3) (2)の回路をロジックトレーナ上で構成し、真理値表通り動作する事を確認しなさい.

6. デコーダ

3ビットの2進数を6進数に変換するデコーダを作成する. 表4に3ビット2進-6進デコーダの真理値表を示す. 図4に2進-6進デコーダの入出力関係図を示す. 実際の入出力は図4のように設定する事を推奨する.

表4 3ビット2進-6進デコーダの真理値表

入力 x (2進数)			出力 z (6進数)					
x_2	x_1	x_0	z_5	z_4	z_3	z_2	z_1	z_0
0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	1	0
0	1	0	0	0	0	1	0	0
0	1	1	0	0	1	0	0	0
1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	0	0	0

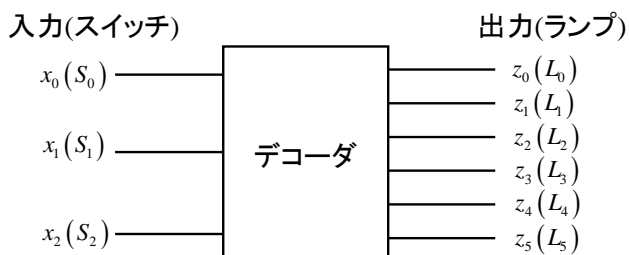


図4 2進-6進デコーダ

(1) 真理値表から論理関数を導出せよ.

(2) 論理回路を描きなさい.

(3) (2)の回路をロジックトレーナ上で構成し, 真理値表通り動作する事を確認しなさい.

5. フリップフロップ

1. 目的

順序回路の基本となるフリップフロップをロジックトレーナで構成し、動作を確認する。

2. 演習

各フリップフロップのタイムチャートにおける出力波形がどうなるか予習して、全て描いてくること。 実験では、自分の予習した波形通りになるかスイッチを操作して確かめること。

3. 演習結果

各演習の結果は所定の場所にまとめること。

4. フリップフロップ

4.1 NAND 素子を用いた RS フリップフロップ

本実験で用いるロジックトレーナでは、RS フリップフロップが存在しない。ここでは、NAND 素子を用いて RS フリップフロップを構成する。

1) 結線

NAND 素子を用いて図 1 のように RS フリップフロップを構成する。尚、次節でほぼ同様の回路を用いるので、動作確認後も結線はそのままにしておくこと。

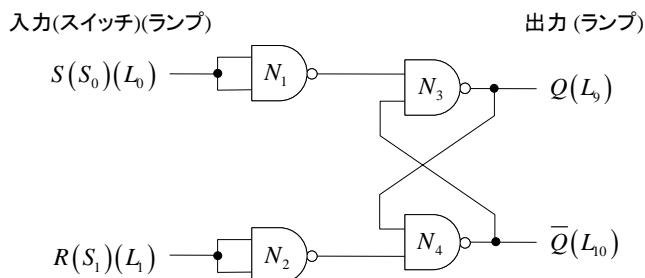


図 1 RS フリップフロップの回路図

2) 動作確認の準備

全てのスイッチをオフにして、ロジックトレーナ電源スイッチを投入する。もし、ランプ L_9 が点灯していたら S_1 をオンにし、 L_9 を消灯させる。

3) RS フリップフロップの動作確認

a) 図 2 のタイムチャートに従い、フリップフロップの入力端子に対応する 2 個の入力スイッチ S_0 、 S_1 をオンオフにして、フリップフロップの出力端子に対応する 2 個のランプ L_9 及び L_{10} の状態を図 2 に記録する。

b) a) の結果を踏まえて、以下の()内を埋めよ。

・RS フリップフロップは、 $R=0$ の状態で S が一度 1 になれば、 $Q=(\quad)$ 、 $\bar{Q}=(\quad)$

となり、()される。 $S=0$ で R が一度 1 になれば、 $Q=()$ 、 $\bar{Q}=()$ となり、()される。 $S=R=1$ となると、 $Q=()$ 、 $\bar{Q}=()$ となる。その後、 R より先に S が 0 になると()、 S より先に R が 0 になると()されたのと同様になる。しかし、 $S=R=1$ の後、 S と R を同時に $S=R=0$ とすると、 N_3 及び N_4 の 2 つの NAND の入力に共に 1 となり、 Q 及び \bar{Q} は同時に 1 から 0 に変化しようとする。 Q 、 \bar{Q} の入力はそれぞれ()、()の入りに接続されているので、 N_3 、 N_4 の入力が 0 になると Q 、 \bar{Q} は再び 1 に変化しようとする。このように理想的には、出力 Q 、 \bar{Q} は 0、 1、 0、 1 と交互に値を取るかもしれないが、実際の回路は完全な対称では無いため、どちらかが 0 で他方が 1 となり、結果が確定せず不定となる。

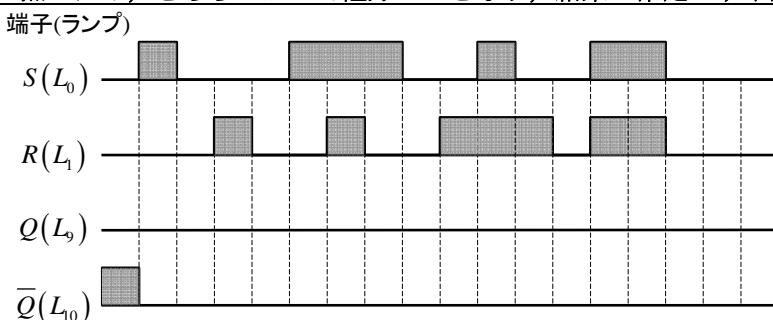


図 2 RS フリップフロップのタイムチャート

4.2 RST フリップフロップ

前節の NAND 素子を用いた RS フリップフロップを一部変更し、RST フリップフロップを構成する。

1) 結線

図 3 に示すように図 1 の RS フリップフロップを一部変更する。ここで、新たに N_1 及び N_2 の出力の値が分かるように、 L_5 及び L_6 のランプを追加する。尚、次節ではほぼ同様の回路を用いるので、動作確認後も結線はそのままにしておくこと。

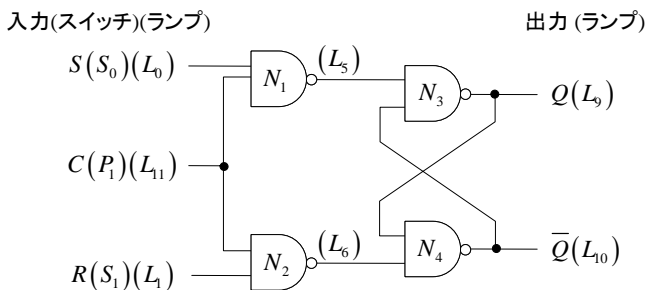


図 3 RST フリップフロップの回路図

2) 動作確認の準備

全てのスイッチをオフにして、ロジックトレーナ電源スイッチを投入する。もし、ランプ L_9 が点灯していたら S_1 をオンにし、 P_1 を一度押し L_9 を消灯させる。

3) RST フリップフロップの動作確認

a) 図 4 のタイムチャートに従い、フリップフロップの入端子に対応する 3 個の入力

スイッチ S_0 , S_1 及び F_1 をオンオフにして、フリップフロップの中間出力及び最終出力端子に対応するランプ L_5 , L_6 及び L_9 , L_{10} の状態を図 4 に記録する。

b) a) の結果を踏まえて、以下の()内を埋めよ。

RST フリップフロップは、

- $S=1$, $R=0$ でクロック C が()とき, $Q=()$, $\bar{Q}=()$ となり, ()される。
- $S=0$, $R=1$ でクロック C が()とき, $Q=()$, $\bar{Q}=()$ となり, ()される。
- $S=R=1$ でクロック C が()間, $Q=()$, $\bar{Q}=()$ となる。しかし, クロック C が()と, 出力は()になる。

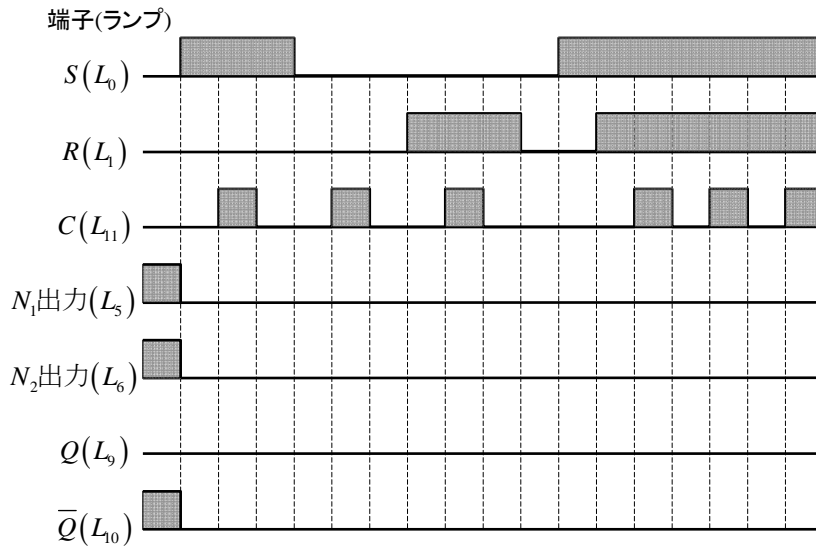


図 4 RST フリップフロップのタイムチャート

4.3 JK フリップフロップ

1) 結線

以下の手順で図 5 のように結線を行う。

- a) トグルスイッチ S_0 の出力をランプ L_0 と JK フリップフロップの J (セット入力) 端子につなぐ。
- b) トグルスイッチ S_1 の出力をランプ L_1 と JK フリップフロップの K (リセット入力) 端子につなぐ。
- c) プッシュスイッチ P_1 の出力をランプ L_{11} と JK フリップフロップの C (クロック) 端子につなぐ。
- d) JK フリップフロップの出力 Q 及び \bar{Q} 端子をそれぞれランプ L_9 及び L_{10} につなぐ。

2) 動作確認の準備

全てのスイッチをオフにして、ロジックトレーナ電源スイッチを投入する。もし、ランプ L_9 が点灯していたら S_1 をオンにし、 P_1 を一度押して L_9 を消灯させる。

3) JK フリップフロップの動作確認

- a) 図 6 のタイムチャートに従い、フリップフロップの入力端子に対応する 3 個の入力スイッチ S_0 , S_1 及び P_1 をオンオフにして、フリップフロップの出力端子に対応する

2 個のランプ L_9 及び L_{10} の状態を図 6 に記録する. クロック端子 C に○印が付いていることに注意すること.

b) a)の結果を踏まえて, 以下の()内を埋めよ.

- ・JK フリップフロップの出力 Q は, プッシュスイッチ P_1 を()時に値が変化する.
- ・図 6 のタイムチャートから, JK フリップフロップの出力 Q は
 ()=1かつ()=0のとき, クロック C の()で $Q=1$ となる.
 ()=0かつ()=1のとき, クロック C の()で $Q=0$ となる.
 ()=0 かつ ()=0 のとき, クロック C の値を変化しても出力 Q は
 ().
 ()=1かつ()=1のとき, クロック C の()で出力 Q は
 ()する.

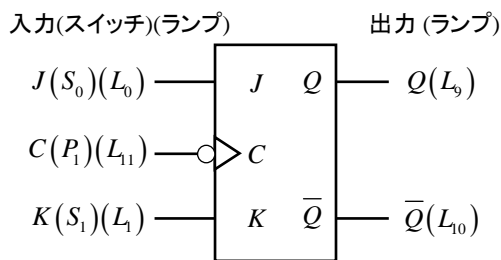


図 5 JK フリップフロップの入出力端子

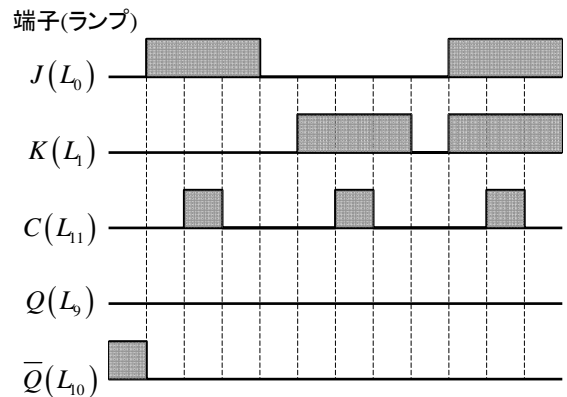


図 6 JK フリップフロップのタイムチャート

4.4 D フリップフロップ

1) 結線

以下の手順で図 7 のように結線を行う.

- a) トグルスイッチ S_0 の出力をランプ L_0 と D フリップフロップの D (ディレイ入力) 端子につなぐ.
- b) プッシュスイッチ P_1 の出力をランプ L_{11} と D フリップフロップの C (クロック) 端子につなぐ.
- c) D フリップフロップの出力 Q 及び \bar{Q} 端子をそれぞれランプ L_9 及び L_{10} につなぐ.

尚, D フリップフロップは次の T フリップフロップの構成に用いるので, D フリップフロップの動作確認が終了しても, 結線はそのままにしておくこと.

2) 動作確認の準備

全てのスイッチをオフにして, ロジックトレーナ電源スイッチを投入する. もし, ランプ L_9 が点灯していたら S_1 をオンにし, P_1 を一度押して L_9 を消灯させる. クロック端子 C に○印が付いていることに注意すること.

3) D フリップフロップの動作確認

- a) 図 8 のタイムチャートに従い, フリップフロップの入力端子に対応する 2 個の入力スイッチ S_0 及び P_1 をオンオフにして, フリップフロップの出力端子に対応する 2 個

のランプ L_9 及び L_{10} の状態を図 8 に記録する。

- b) a)の結果を踏まえて、以下の()内を埋めよ。
- D フリップフロップの出力 Q は、プッシュスイッチ P_1 を()時に値が変化する。
 - 図 8 のタイムチャートから、D フリップフロップはクロック C の()時に()の内容を出力 Q に転送する。

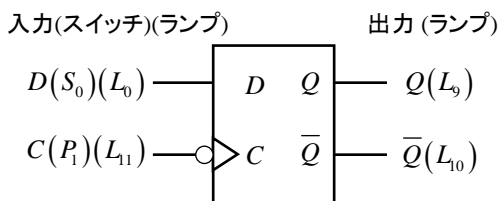


図 7 D フリップフロップの入出力端子

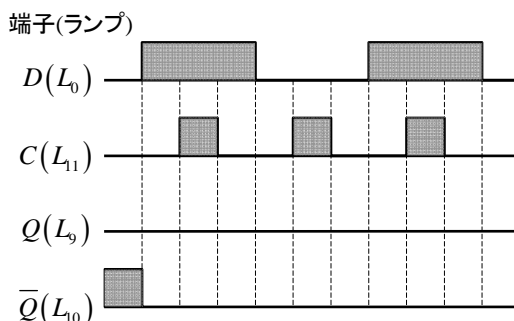


図 8 D フリップフロップのタイムチャート

4.5 T フリップフロップ

1) 結線

実験で使用するロジックトレーナでは T フリップフロップが存在しないので、D フリップフロップを用いて構成する。以下の先程の D フリップフロップを基準とする手順で図 9 のように結線を行う。

- D フリップフロップの D 端子の結線ははずす。
- D フリップフロップの出力 \bar{Q} を D 端子につなぐ。

2) 動作確認の準備

全てのスイッチをオフにして、ロジックトレーナ電源スイッチを投入する。もし、ランプ L_9 が点灯していたら、 P_1 を一度押して L_9 を消灯させる。

3) T フリップフロップの動作確認

- 図 10 のタイムチャートに従い、フリップフロップの入力端子に対応する 1 個の入力スイッチ P_1 をオンオフにして、フリップフロップの出力端子に対応する 2 個のランプ L_9 及び L_{10} の状態を図 10 に記録する。クロック端子 C に \circ 印が付いていることに注意すること。
- a)の結果を踏まえて、以下の()内を埋めよ。
 - 図 10 のタイムチャートから、T フリップフロップの出力 Q の値はクロック C の()の時に()する。

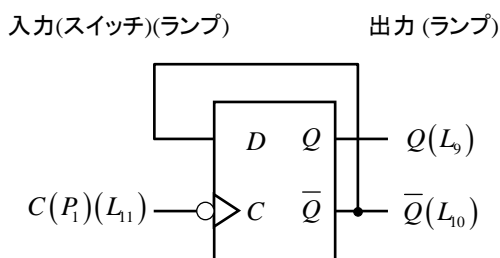


図 9 T フリップフロップの入出力端子

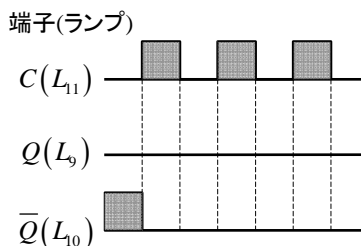


図 10 T フリップフロップのタイムチャート

6. 順序回路

1. 目的

順序回路をロジックトレーナ上に構成し、その動作を確認する。

2. 演習

各順序回路のタイムチャートにおける出力波形がどうなるか予習して、全て描いてくること。実験では、自分の予習した波形通りになるかスイッチを操作して確かめること。また、フリップフロップのクロック入力の NOT 端子には注意すること。

3. 演習結果

各演習の結果は所定の場所にまとめること。

4. 順序回路

順序回路 1

図 1 の状態遷移図を RS フリップフロップで構成した順序回路は、図 2 のようになる。

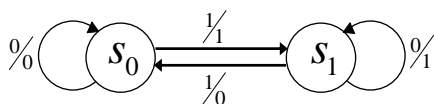


図 1 状態遷移図

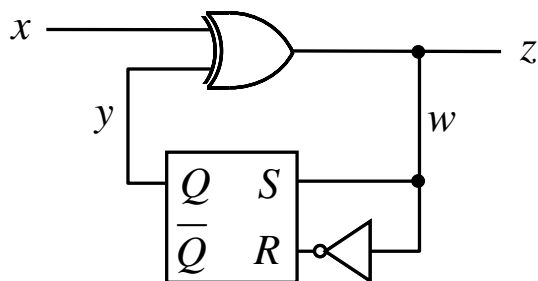


図 2 RS フリップフロップを用いた順序回路

- 1) 図 1 の状態遷移図から回路の概要を述べ、図 2 の順序回路が作成できることを確認する。

- 2) ロジックトレナーでは RS フリップフロップが存在しないので、クロック端子付き JK フリップフロップを用いる。すなわち、図2の S, R の端子は JK フリップフロップの J, K 端子に接続する。入力 x 、出力 z 、状態 y の値を知るため、それぞれをランプ端子に接続する。ここで、 JK フリップフロップの R 端子(リセット)は H 端子(5[V])に接続する。
- 3) 全てのスイッチをオフにして電源スイッチを入れる。もし、 y に接続したランプが点灯していたら、 JK フリップフロップの R 端子を一度 L 端子(0[V])に接続して、ランプを消灯させる。
- 4) 図3のタイムチャートに従い、 x と c の値を変化させて y と z の結果を図3に書き込む。

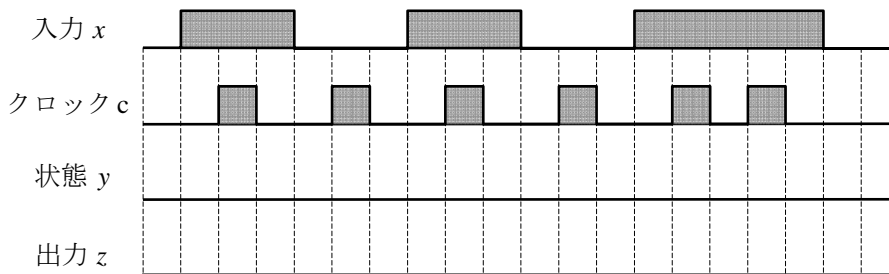


図3 RS フリップフロップを用いた順序回路のタイムチャート

- 5) 得られた結果の入力 x と出力 z の関係は図1の状態遷移図通りになっているか確認する。
- 6) もし、異なる場合はその点を記録し、その理由を説明せよ。
(異なる点)

(説明)

順序回路 2

図 1 の状態遷移図を T フリップフロップで構成した順序回路は、図 4 のようになる。

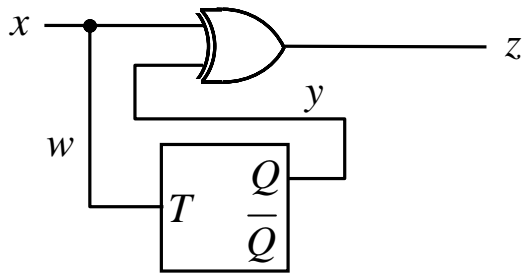


図 4 T フリップフロップを用いた順序回路

- 1) 図 1 の状態遷移図から図 4 の順序回路が作成できることを確認する。

- 2) ロジックトレーナでは T フリップフロップが存在しないので、 JK フリップフロップの J , K 端子を結んで T 端子とする。

- 3) 以下、順序回路 1 の(2)~(3)と同様に実験を行う。結果は図 5 に書き込む。

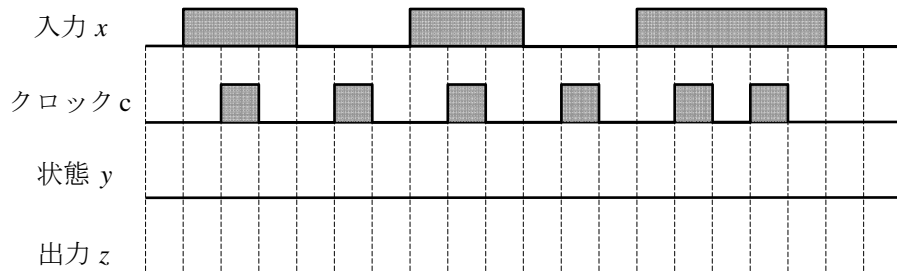


図 5 T フリップフロップを用いた順序回路のタイムチャート

- 4) 得られた結果の入力 x と出力 z の関係は図 1 の状態遷移図通りになっているか確認する。

- 5) もし、異なる場合はその点を記録し、その理由を説明せよ。
(異なる点)

(説明)

順序回路 3

50 円硬貨 3 枚を入れたらコーラが出る販売機の状態遷移図及び順序回路はそれぞれ図 6 及び図 7 となる。

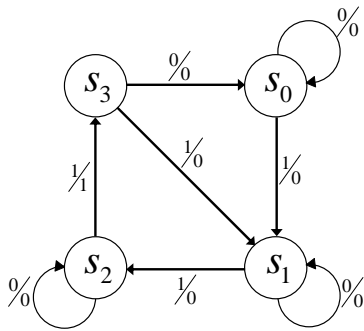


図 6 状態遷移図

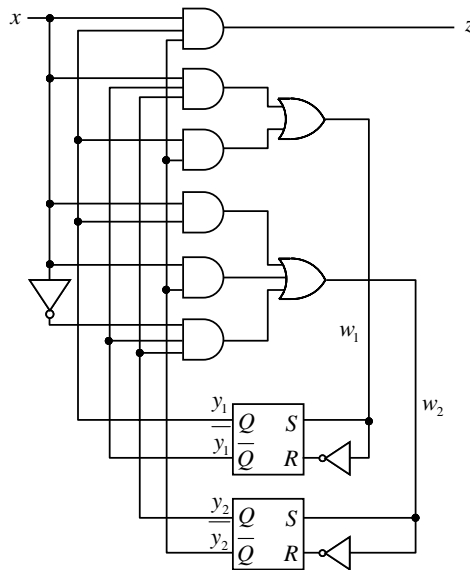


図 7 順序回路

- 1) 図 6 の状態遷移図から、図 7 の順序回路が作成できることを確認する。

- 2) 以下，順序回路 1 の(2)～(3)と同様に実験を行う．結果は図 8 に書き込む．但し，状態変数が 4 つに増えたので， y_1 ， y_2 ， w_1 ， w_2 の出力もランプに接続する．

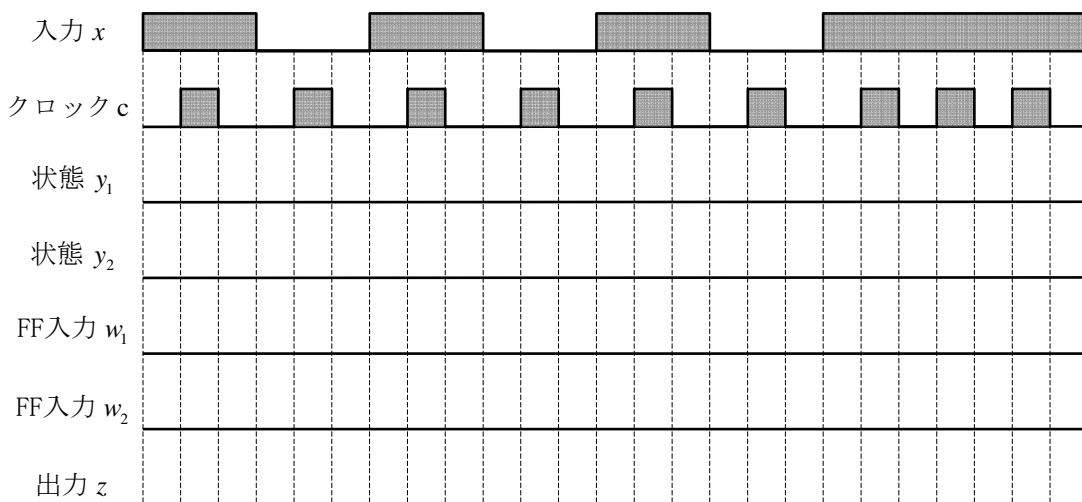


図 8 論理回路のタイムチャート

- 3) 得られた結果の入力 x と出力 z の関係は図 6 の状態遷移図通りになっているか確認する．
- 4) もし，異なる場合はその点を記録し，その理由を説明せよ．
(異なる点)

(説明)

7. カウンタ

1. 目的

順序回路の一例として数種類のカウンタを設計して、ロジックトレーナ上に構成し、その動作を確認する。

2. 演習

各回路のタイムチャートにおける出力波形がどうなるか予習して、全て描いてくること。 実験では、自分の予習した波形通りになるかスイッチを操作して確かめる。

3. 演習結果

各演習の結果は所定の場所にまとめること。

4. 非同期式 2^n 進アップカウンタ (リプルカウンタ)

$n=3$ として非同期式 8 進カウンタの出力変化を表 1 に示す。

表 1 非同期式 8 進カウンタの出力変化

8 進	0	1	2	3	4	5	6	7	0	1	2
A	0	1	0	1	0	1	0	1	0	1	0
Q_0	0	1	0	1	0	1	0	1	0	1	0
Q_1	0	0	1	1	0	0	1	1	0	0	1
Q_2	0	0	0	0	1	1	1	1	0	0	0

この表からわかるように、下の段の状態 (出力) Q_{k-1} が “1” から “0” に立ち下がるときに、その段の状態 Q_k が反転している。JK-FF は $J=K=1$ でクロック C_p が立ち下がるとき出力 Q が反転するので、その段のクロック C_p を下の段の出力と接続すればよい。

【演習】非同期式 8 進カウンタになるように図 1 の結線を完成せよ。

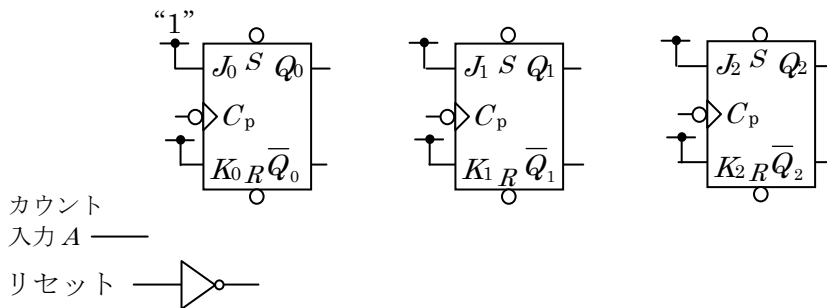


図 1 非同期式 8 進カウンタ

【結線】図 1 をロジックトレーナ上に構成する。カウント入力 A とリセットはプッシュスイッチ の出力とつなぎ、各段の出力はランプ入力につなぐ。

【実験】図2のタイムチャートに従い、プッシュスイッチをオンオフにして、各段の出力 Q_0, Q_1, Q_2 が予習した波形と同じになるか確かめる。

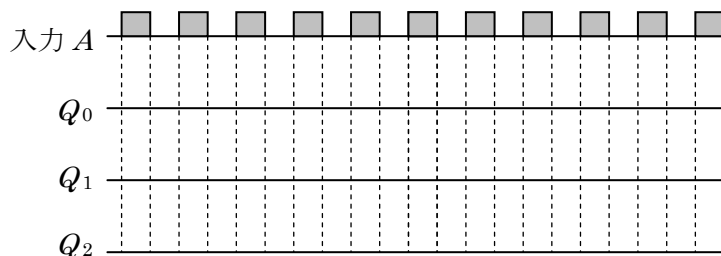


図2 非同期式8進カウンタのタイムチャート

5. 非同期式3進アップカウンタ

【演習1】非同期式3進アップカウンタの出力変化を表2に完成せよ。

表2 非同期式3進カウンタの出力変化

3進	0	1											
A	0	1	0	1	0	1	0	1	0	1	0	1	0
Q_0													
Q_1													

【演習2】非同期式3進アップカウンタになるように図3の結線を完成せよ。

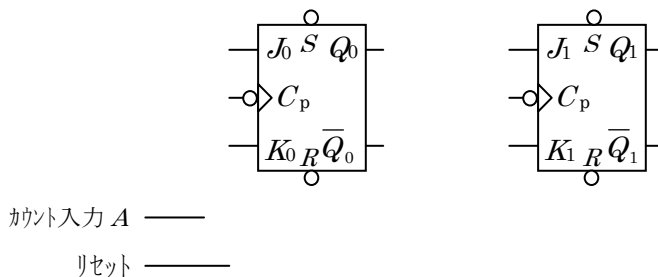


図3 非同期式3進カウンタ

【結線】図3をロジックトレーナ上に構成する。カウント入力Aとリセットはプッシュスイッチの出力とつなぎ、各段の出力はランプ入力につなぐ。

【実験】図4のタイムチャートに従い、プッシュスイッチをオンオフにして、各段の出力 Q_0, Q_1 が予習した波形と同じになるか確かめる。

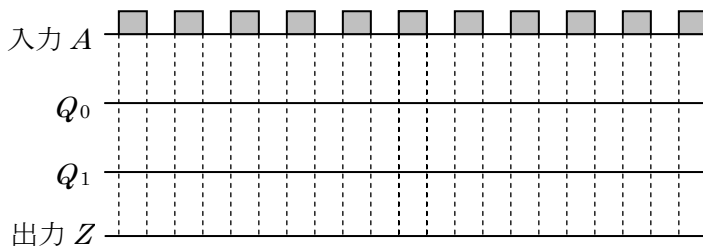


図4 非同期式3進アップカウンタのタイムチャート

6. 同期式3進アップカウンタ

【演習1】同期式3進アップカウンタの出力変化を表3に完成せよ。

表3 同期式3進アップカウンタの出力変化

3進	0	1											
A	0	1	0	1	0	1	0	1	0	1	0	1	0
Q_0	0												
Q_1	0												

【演習2】表3より、状態遷移表の表4を完成せよ。なお、表3ではクロックの立下りでカウンタがアップしているのので、表4では入力Aが“1”のとき、クロック C_p が立ち下がるとカウントアップするようにする。ドントケアは×で表す。

表4 同期式3進カウンタの状態遷移表

入力 A	現在の状態			次の状態			JK-FFの入力				出力 Z	
	S	Q_1	Q_0	S^+	Q_1^+	Q_0^+	J_1	K_1	J_0	K_0		
0	S_0											
0	S_1											
0	S_2											
0	—											
1	S_0											
1	S_1											
1	S_2											
1	—											

【演習3】表4より、JK-FFの入力 J_1 , K_1 , J_0 , K_0 を求めるためのカルノー図を図5に完成せよ。

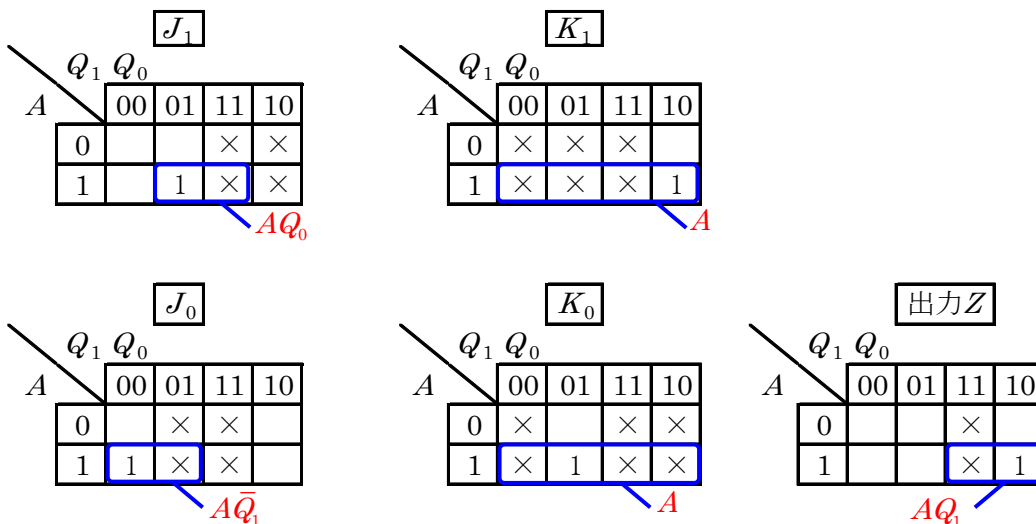


図5 JK-FFの入力 J_1 , K_1 , J_0 , K_0 を求めるためのカルノー図

【演習 4】 カルノー図より得られた論理関数を下に記入する．なお，カウントアップするときは入力 A は常に “1” であるから，カルノー図で得られた関数の A は消去する．

$J_1 =$ $K_1 =$

$J_0 =$ $K_0 =$

出力 $Z =$

【演習 5】 演習 4 で得られた論理関数から，同期式 3 進カウンタになるように図 6 の結線を完成せよ．

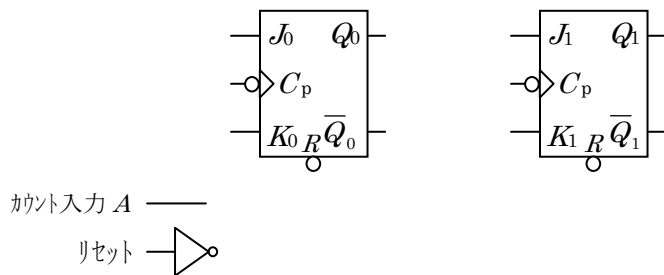


図 6 同期式 3 進カウンタ

【結線】 図 6 をロジックトレーナ上に構成する．カウント入力 A とリセットはプッシュスイッチ の出力とつなぎ，各段の出力はランプ入力につなぐ．

【実験】 図 7 のタイムチャートに従い，プッシュスイッチをオンオフにして，各段の出力 Q_0, Q_1 が予習した波形と同じになるか確かめる．

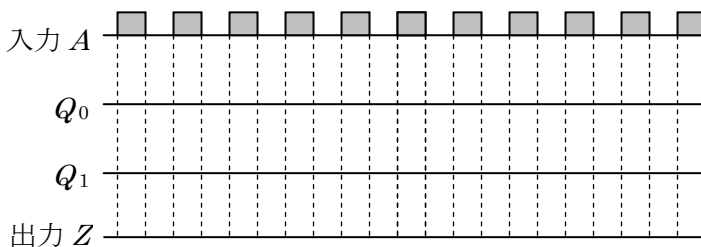


図 7 同期式 3 進カウンタのタイムチャート

7. 非同期式 3 進ダウンカウンタ

【演習 1】 非同期式 3 進ダウンカウンタの出力変化を表 5 に完成せよ．

表 5 同期式 3 進ダウンカウンタの出力変化

3 進	0													
A	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Q_0	0													
Q_1	0													

【演習 2】 非同期式 3 進ダウンカウンタになるように図 8 の結線を完成せよ。

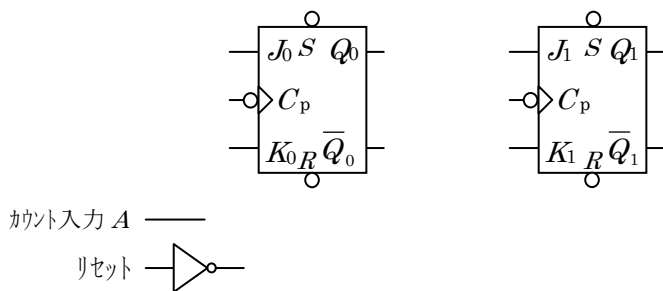


図 8 同期式 3 進ダウンカウンタ

【結線】 図 8 をロジックトレーナ上に構成する。カウント入力 A とリセットはプッシュスイッチ の出力とつなぎ、各段の出力はランプ入力につなぎ。

【実験】 図 9 のタイムチャートに従い、プッシュスイッチをオンオフにして、各段の出力 Q_0, Q_1 が予習した波形と同じになるか確かめる。

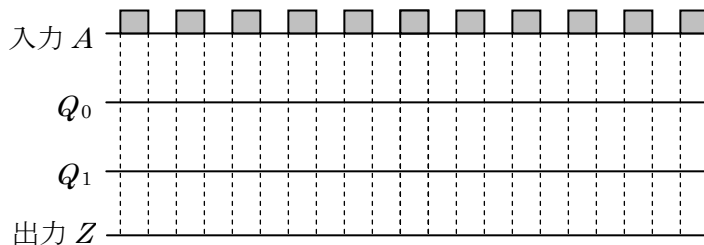


図 9 非同期式 3 進ダウンカウンタのタイムチャート

8. 感想等

2 年生の計算機工学の実験を通して、理解できたことや難しかったことについて、感想も入れて、自由に書いて下さい。