

4. 比較器およびエンコーダ・デコーダ

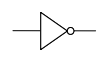

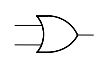
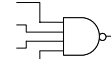
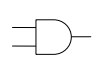

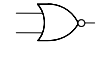

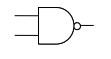
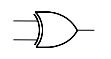
1. 目的

比較器, エンコーダ及びデコーダをロジックトレーナ上に構成し, その動作を確認する.

2. 演習

- (1) 各論理回路の真理値表を書く.
- (2) 真理値表から特殊加法標準形などを用いて, 論理関数を導出する.
- (3) 必要に応じてド・モルガンの定理を用いて, 論理関数を変形する. 特に AND 及び OR 素子の数が不足する場合は NAND 素子を用いる事が出来るように論理関数に変形する.
- (4) (2)及び(3)で求めた論理関数から論理回路を構成する.
- (5) 各演習の指示に従ってロジックトレーナで回路を組み, 実際に真理値表の通り動作するか確認する.

注意: 以降の演習では, 素子の個数を考えて論理回路を設計しなさい. 特に, OR 及び AND 素子の個数が少ないので NAND 素子等の他の素子で代用する方法を考えながら回路設計をしなさい. 以下にロジックトレーナ上の各素子の個数を示す.

	6 個		6 個
	2 個		4 個
	5 個		4 個
	1 個		4 個
	9 個		
	1 個		

3. 演習結果

各演習の結果は所定の場所にまとめること.

4. 比較器

4.1 1ビット比較器

最初に 1 ビットの 2 進数を比較する比較器を設計する. ここでは, 次に 2 ビットの比較器を構成するために 2 種類の 1 ビット比較器を設計する. 表 1 に 1 ビット比較器の真理値表を示す. ここで, 出力 (z'_2, \dots, z'_0) は x_0 及び y_0 の大小関係を表す出力である.

作成する比較器は a) NAND 素子を用いない比較器, b) NAND 素子のみを用いた比較器の 2 つである. 図 1 に 2 種類の 1 ビットの比較器の入出力関係図を示す. 実際の入出力は図 1 のように設定する事を推奨する.

表 1 1ビット比較器の真理値表

入力		出力		
x_0	y_0	$z'_2(x_0 > y_0)$	$z'_1(x_0 = y_0)$	$z'_0(x_0 < y_0)$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

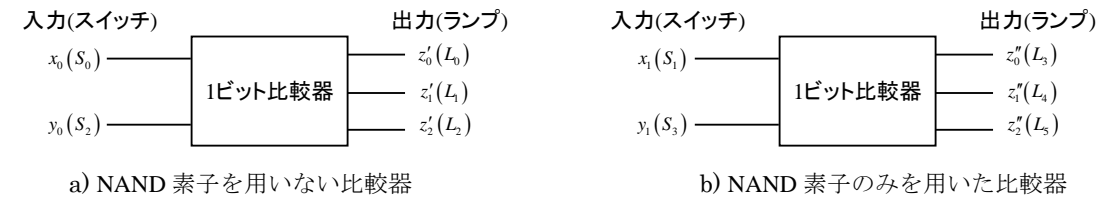


図 1 1ビットの比較器の入出力関係図

(1) 真理値表から論理関数を導出せよ.

a) NAND 素子を用いない論理関数

$$\begin{aligned}
 z'_0 &= \\
 z'_1 &= \overline{x_0 y_0} + x_0 y_0 \\
 &= \overline{x_0 y_0} \cdot \overline{x_0 y_0} \\
 &= (\overline{x_0 + y_0})(\overline{x_0 + y_0}) \\
 &= \overline{x_0 x_0 + x_0 y_0 + x_0 y_0 + y_0 y_0} \\
 &= \overline{x_0 y_0 + x_0 y_0}
 \end{aligned}$$

$$z'_2 =$$

b) NAND 素子のみを用いる論理関数

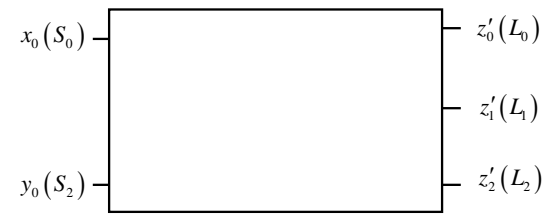
$$z''_0 =$$

$$z''_1 =$$

$$z''_2 =$$

(2) 論理回路を描きなさい。

a) NAND 素子を用いない論理回路



b) NAND 素子のみを用いる論理回路



(3) (2)の a)及び b)の回路をロジックトレーナ上で構成し、真理値表通り動作する事を確認しなさい。但し、作成した2つの1ビット比較器は後で使用するのでそのままにしておくこと。

4.1 2ビット比較器

次に2ビットの2進数 x 及び y を比較する比較器を設計する。ここでは、1ビット比較器を2つ用いて2ビット比較器を構成する。表2に2ビット比較器の真理値表を示す。ここで、出力 (z_2, \dots, z_0) は x 及び y の大小関係を表す出力である。図2に2ビットの比較器の入出力関係図を示す。実際の入出力は図2のように設定する事を推奨する。

表2 2ビット比較器の真理値表

入力 x		入力 y		出力		
x_1	x_0	y_1	y_0	$z_2(x > y)$	$z_1(x = y)$	$z_0(x < y)$
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

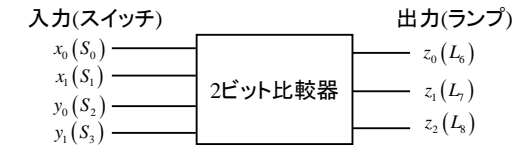
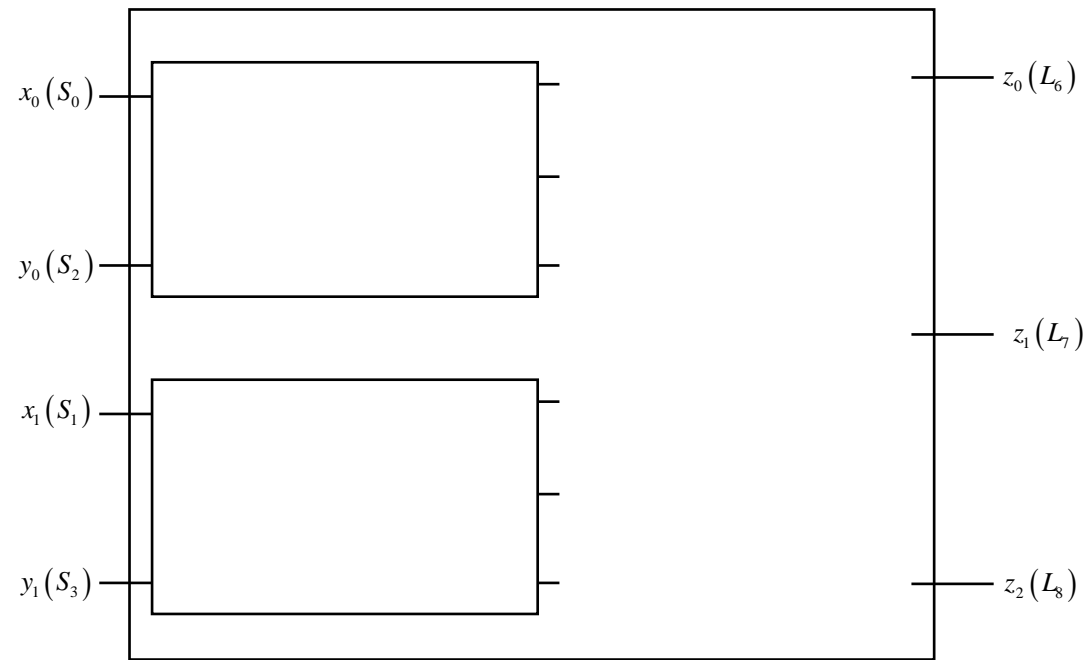


図2 2ビットの比較器の入出力関係図

(1) 真理値表から論理関数を導出せよ。

(2) 論理回路を描きなさい.



(3) (2)の回路をロジックトレーナ上で構成し, 真理値表通り動作する事を確認しなさい.

5. デコーダ

3ビットの2進数を6進数に変換するデコーダを作成する. 表3に3ビット2進-6進デコーダの真理値表を示す. 図3に2進-6進デコーダの入出力関係図を示す. 実際の入出力は図3のように設定する事を推奨する.

表3 3ビット2進-6進デコーダの真理値表

入力 x (2進数)			出力 z (6進数)					
x_2	x_1	x_0	z_5	z_4	z_3	z_2	z_1	z_0
0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	1	0
0	1	0	0	0	0	1	0	0
0	1	1	0	0	1	0	0	0
1	0	0	0	1	0	0	0	0
1	0	1	1	0	0	0	0	0

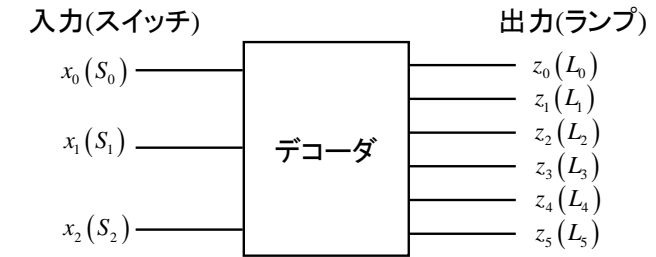


図3 2進-6進デコーダ

(1) 真理値表から論理関数を導出せよ.

(2) 論理回路を描きなさい.

(3) (2)の回路をロジックトレーナ上で構成し, 真理値表通り動作する事を確認しなさい.

6. エンコーダ

6進数を3ビットの2進数に変換するエンコーダを作成する. 表4に6進-2進エンコーダの真理値表を示す. 図4に6進-2進エンコーダの入出力関係図を示す. 実際の入出力は図4のように設定する事を推奨する. 但し, 入力 (x_5, \dots, x_0) はそのうちいずれか1つのみが必ず1をとるものとする. 尚, 入力 (x_5, \dots, x_0) のプライオリティ(優先順位)は考えないものとする.

表3 3ビット6進-2進エンコーダの真理値表

入力 x (6進数)						出力 z (2進数)		
x_5	x_4	x_3	x_2	x_1	x_0	z_2	z_1	z_0
0	0	0	0	0	1	0	0	0
0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	0	1	0
0	0	1	0	0	0	0	1	1
0	1	0	0	0	0	1	0	0
1	0	0	0	0	0	1	0	1



図4 6進-2進エンコーダ

(1) 真理値表から論理関数を導出せよ.

(2) 論理回路を描きなさい.

(3) (2)の回路をロジックトレーナ上で構成し, 真理値表通り動作する事を確認しなさい.