

令和6年度 電子回路学 後期定期試験問題 (01/30/25)

25点

25点

HI 3 番号 _____ 氏名 _____

得点 _____ 点 No. 1

1. 図1の回路について、以下の問に答えよ。
 (1) 回路名を下線部に書き、図2に h_{ie} と h_{fe} を用いた等価回路を描け。
 (2) 入力インピーダンス R_i と電圧利得 A_v を導出せよ。

図より

$$V_1 = h_{ie} I_1 + (1 + h_{fe}) I_1 R_b \quad (1)$$

従って、入力インピーダンス R_i は

$$R_i = \frac{V_1}{I_1} = h_{ie} + (1 + h_{fe}) R_b \quad (2)$$

となる。次に、 V_2 は

$$V_2 = (1 + h_{fe}) I_1 R_b \quad (3)$$

で表されるので、電圧利得 A_v は

$$A_v = \frac{V_2}{V_1} = \frac{(1 + h_{fe}) R_b}{h_{ie} + (1 + h_{fe}) R_b} \approx 1 \quad (4)$$

となる。

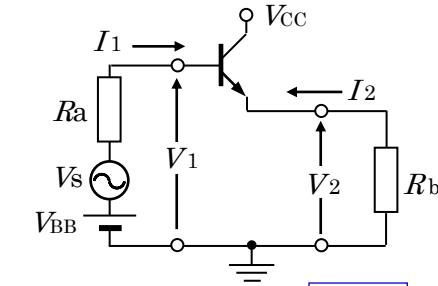


図1 エミッタホロワ 3点

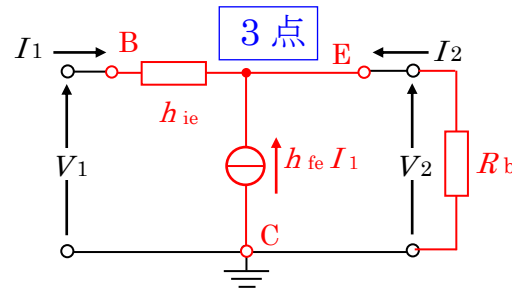


図2 h_{ie} と h_{fe} を用いた等価回路

2. 図3について、以下の問に答えよ。
 (1) 構造名を下線部に書き、図中の括弧内に端子の名称をカタカナで記入せよ。
 (2) $V_{DS} = 8V$ 一定で V_{GS} を0から負に増加した場合の動作を図3 (ソース中に図を描いて (電子を●で正孔を○) で、その動きを矢印で記入し) 説明せよ。

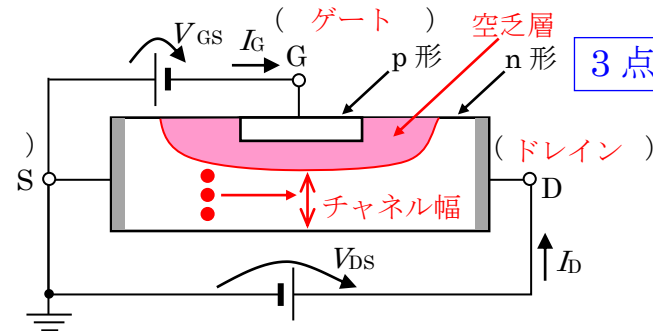


図3 n チャンネル 接合形 FET または JFET の構造 3点

$V_{GS} = 0$ では pn 接合面の変化はなく、
 V_{DS} によって、ドレイン電流 I_D が流れ、
 オン状態となる。

V_{GS} を次第に負側に大きくすると、pn 接合は逆バイアスされ、図3に示すように空乏層が広がり、チャンネル幅が狭まり、電流 I_D は減少する。

更に、 V_{GS} を大きくすると、チャンネル幅が零となり、
 $I_D = 0$ となりオフの状態になる。

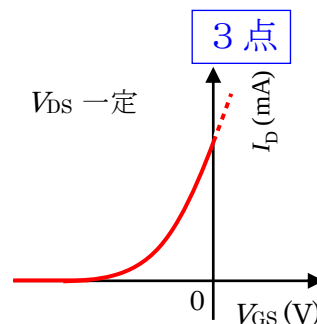


図4 $V_{GS} - I_D$ 特性 (伝達特性) 3点

- (3) (2)の説明から、図4に $V_{GS} - I_D$ 特性を描け。

3. 図5の回路について、以下の問に答えよ。

- (1) 図5の FET は何チャンネルの何 FET か。

n チャンネル MOSFET

3点

- (2) 図5の V_{GS} を V_{DD} , I_D , および抵抗の記号を用いて表せ (各素子値を代入した式も求める)。

図より、

$$V_{GS} = \frac{R_3}{R_4 + R_3} V_{DD} - R_1 I_D \quad (5)$$

I_D を mA で表し、各素子値を代入すると

$$V_{GS} = \frac{16}{4 + 16} 10 - I_D = 8 - I_D \quad (6)$$

となる。 I_D を求めると

$$I_D = -V_{GS} + 8 [\text{mA}]$$

- (3) 図6は $V_{GS} - I_D$ 特性である。(2)で得られた式のグラフを図6中に記入し、動作点 Q を書き込め。また、無信号時の V_{GS} と I_D を求めよ。

$$V_{GS} = 4 \text{ V} \quad (4)$$

$$I_D = 4 \text{ mA} \quad (4)$$

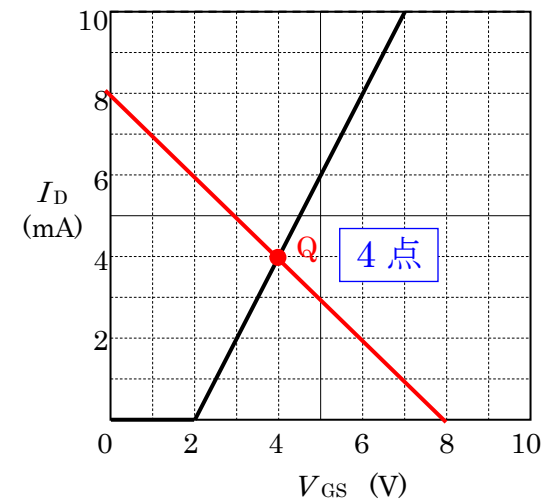


図6 $V_{GS} - I_D$ 特性 4点

HI1302

4. 図7について、以下の問いに答えよ。

(1) 下線部に FET の名称を書き、図中の括弧内に端子等の名称を記入せよ。

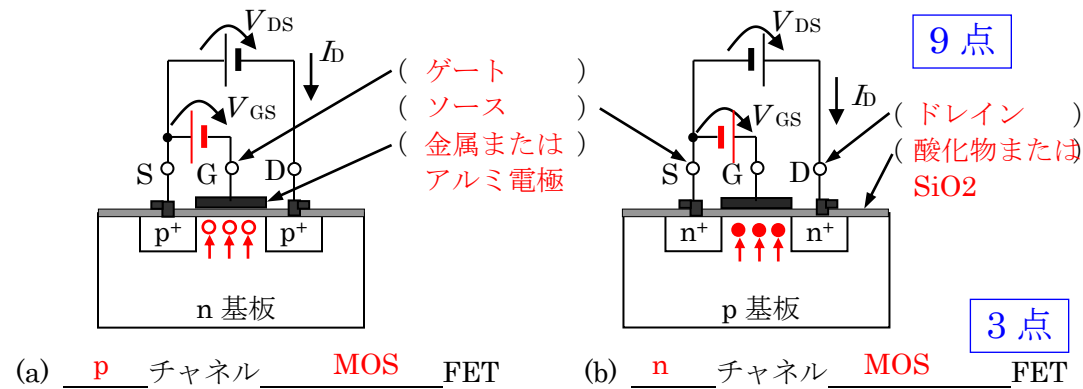


図7 FETの構造と動作原理

(2) 同図(a) 中に I_D を流すように V_{GS} を記入して、チャンネル内に電子を●で正孔を○で、その動きを矢印で記入し、動作を説明して I_D が流れる理由を述べよ。

ゲート G の下面には p チャンネルが作られていないので、 $V_{GS} < -2 \sim -3V$ 程度の負電圧にするとゲートの下面に正孔が集まり、この正孔がチャンネルを形成して I_D が流れる。

(3) 同図(b) 中に I_D を流すように V_{GS} を記入して、チャンネル内に電子を●で正孔を○で、その動きを矢印で記入し、動作を説明して I_D が流れる理由を述べよ。

ゲート G の下面には n チャンネルが作られていないので、 $V_{GS} > 2 \sim 3V$ 程度の正電圧にするとゲートの下面に電子が集まり、この電子がチャンネルを形成して I_D が流れる。

(4) 図8に図7(a)と(b)の $V_{GS}-I_D$ 特性を描け。但し、図7(a)の特性は実線で、図7(b)の特性は破線で描け。
(5) 図7(a)と(b)の回路記号をそれぞれ図9の(a)と(b)に描け。

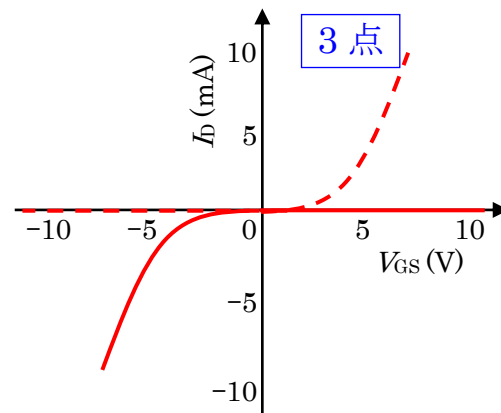


図8 $V_{GS}-I_D$ 特性

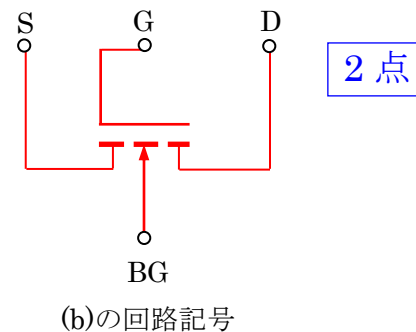
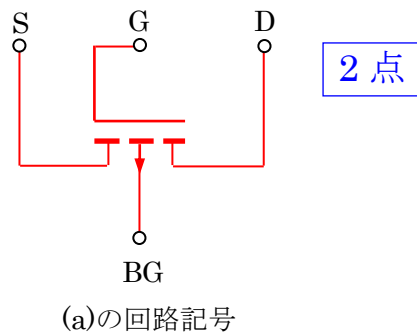


図9 図7の回路記号

5. 図10について、以下の問いに答えよ。

(1) 下線部に回路名を記入せよ。

(2) しきい値電圧 V_T を求めよ。

$$V_T = \frac{V_{DD} + V_{SS}}{2} = 2.5V$$

(3) 下の素子名を下線部に書き。

Q_1 : p チャンネル MOSFET

Q_3 : n チャンネル MOSFET

(4) $Q_5 \sim Q_8$ の動作を説明せよ。

Q_5 と Q_6 , Q_7 と Q_8 とでインバータを構成し、
 $Y = X$ と信号は同じになるが、出力 Y は X の出力より多くの電流を流せるバッファの働きをする。

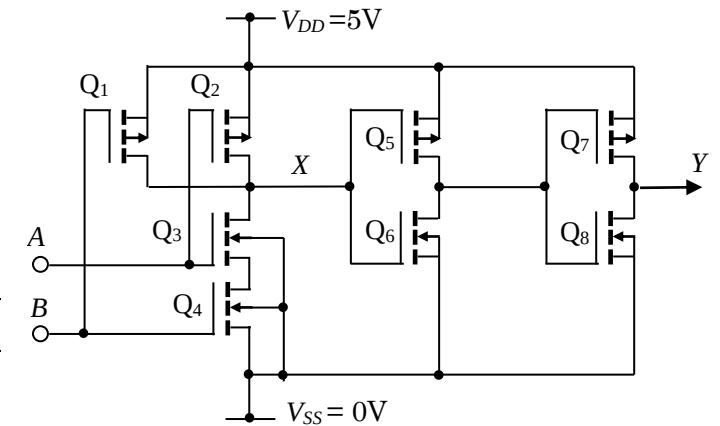


図10 C-MOS NAND 回路

(5) 入力 $A = 5V$, $B = 0V$ とした場合で、 $Q_1 \sim Q_4$ のスイッチ状態を図11に描いて途中の電圧 X を求めよ。

電圧 $X = 5V$

(6) 表1の空欄を埋めよ。但し、簡単のため、0Vは“0”で、5Vは“1”で表し、スイッチ状態はオンで○、オフは×で表す。

表1 図10の動作表

入力		スイッチ状態				途中	スイッチ状態				出力
A	B	Q_1	Q_2	Q_3	Q_4	X	Q_5	Q_6	Q_7	Q_8	Y
0	0	○	○	×	×	1	×	○	○	×	1
0	1	×	○	×	○	1	×	○	○	×	1
1	0	○	×	○	×	1	×	○	○	×	1
1	1	×	×	○	○	0	○	×	×	○	0

(7) 入力 A , B と出力 Y の関係を論理回路で描け。

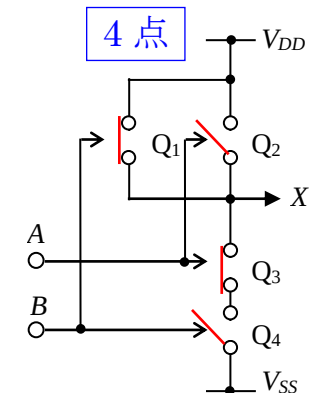
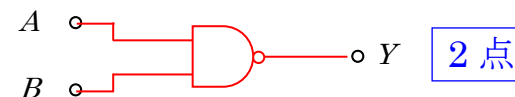


図11 スイッチで表した回路

令和 6 年度 電子回路学 後期定期試験は以下のような問題である。

(試験範囲 7 章(pp. 112-116), 8 章(pp. 131-148), CMOS(教科書にない). ★小テスト, WebClass 講義資料, およびノート) 出題者: 大田

1. エミッタホロワ (負帰還増幅回路) の回路図を与えるので次の問に答える(p.112). ★★
 - (1) 回路名を書く (エミッタホロワ, コレクタ接地増幅回路) (エミッタホロワ回路は不可).
 - (2) トランジスタを h_{ie} と h_{fe} の等価回路で描く.
 - (3) 各部の電圧 (電流) を求め, 電圧 (電流) 増幅度と入 (出) カインピーダンス Z_i (Z_o) を求める.
2. 電界効果トランジスタ (FET) の原理図を与えるので次の問に答える(p.131~). ★★
 - (1) FET 名を書く (n チャンネルか p チャンネルか, 接合形か MOS 形かでどう違うかを判断できること).
 - (2) ゲート電圧 V_{GS} で電子●や正孔○がどう動くかを描いて, 電流が流れるか・流れないかを説明する.
 - (3) FET の動作から伝達特性($V_{GS}-I_D$ 特性)を概略描ける.
 - (4) FET の原理図を回路記号で描ける (n・p チャンネルか, 接合形・MOS 形かの判断).
3. FET のバイアス回路, 伝達特性 ($V_{GS}-I_D$ 特性), 出力特性 ($V_{DS}-I_D$ 特性) を与えるので次の問に答える(p.138) 【トランジスタの場合と同様】. ★★
 - (1) FET 名を書く (n チャンネル, p チャンネル) (接合形, MOS 形) FET.
 - (2) 負荷線を求める回路を描き, 負荷線 (V_{GS} や I_D) の式を求める.
 - (3) 伝達特性 ($V_{GS}-I_D$ 特性) や出力特性 ($V_{DS}-I_D$ 特性) 上に負荷線と動作点を描く.
 - (4) 動作点から, 無信号時の V_{GS} , V_{DS} , I_D を求める,
 - (5) 動作点の移動から電圧増幅度を求める.
 - (6) FET の等価回路を g_m と r_d で表し, 各部の電圧 (電流) を求め, 増幅度や入 (出) カインピーダンスを求める.
4. C-MOS 回路 (インバータ, NAND 回路, NOR 回路) を与えるので次の問に答える(教科書にない). ★★
 - (1) 電源電源 (V_{DD} , V_{SS}) から, しきい値電圧 V_T を求め, 各 MOSFET の V_{GS} の式を求め, 各 MOSFET スイッチのオン・オフを判断して, 入力電圧と出力電圧の関係を求める.
 - (2) 入力波形を与えるので, 出力電圧波形を描く.
 - (3) 入出力電圧の関係から, 論理回路図 (NOT, NAND, NOR) で描く.

★★各自, 配布資料, ★小テストをもう一度, 何も見ずに解いてみること. ★★

以上を何も見ずに全て解けるようになれば, 90 点以上は取れる問題を出す.
普段できないことは, 試験でもできません! 必ず, 各自解いてみること!